

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-006670

(43)Date of publication of application : 08.01.2004

(51)Int.Cl. H01L 25/065  
H01L 25/07  
H01L 25/18

(21)Application number : 2003-045875

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.02.2003

(72)Inventor : TOMIMATSU HIROYUKI

(30)Priority

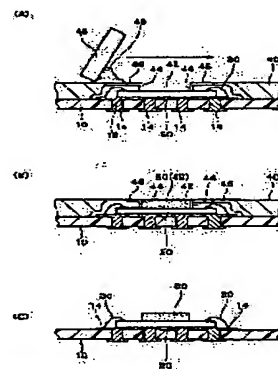
Priority number : 2002048320 Priority date : 25.02.2002 Priority country : JP

(54) SEMICONDUCTOR WAFER WITH SPACER AND MANUFACTURING METHOD THEREOF, SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF, CIRCUIT BOARD, AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To form spacers for isolating semiconductor chips with high productivity on the semiconductor chips in a method for enhancing the integration degree by laminating the semiconductor chips and bonding them.

SOLUTION: A mold 40 having a plurality of holes is set on a semiconductor wafer having a plurality of semiconductor elements or a plurality of the semiconductor chips 20 two-dimensionally placed on a substrate 10 and the die is removed after filling paste 49 being a material for a spacer 50 into the holes to form the spacer 50 on the respective chips 20 together.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]

It includes forming a spacer in said each semiconductor device of the semi-conductor wafer which has two or more semiconductor devices,

The manufacture approach of a semi-conductor wafer with a spacer of the process which forms said two or more spacers being put in block on said semi-conductor wafer, and performing it.

[Claim 2]

In the manufacture approach of a semi-conductor wafer with a spacer according to claim 1,

The manufacture approach of the semi-conductor wafer with a spacer which forms said spacer inside the field of said semiconductor device.

[Claim 3]

In the manufacture approach of a semi-conductor wafer with a spacer according to claim 1 or 2,

The manufacture approach of the semi-conductor wafer with a spacer which forms said spacer so that it may have two or more balls inside.

[Claim 4]

In the manufacture approach of a semi-conductor wafer with a spacer according to claim 3,

The manufacture approach of the semi-conductor wafer with a spacer which forms said spacer in height almost equal to the diameter of said ball.

[Claim 5]

In the manufacture approach of a semi-conductor wafer with a spacer according to claim 3 or 4,

Said ball is the manufacture approach of a semi-conductor wafer with a spacer of having elasticity.

[Claim 6]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 1 to claims 5,

It is the formation process of said spacer,

The mold which has two or more holes is set to said wafer,

The paste which is the ingredient of said spacer is prepared in said each hole,

The manufacture approach of the semi-conductor wafer with a spacer which forms said two or more spacers by separating said mold from said wafer.

[Claim 7]

In the manufacture approach of a semi-conductor wafer with a spacer according to claim 6,

Said mold has the dam section which stops the flow of said paste,

The manufacture approach of a semi-conductor wafer with a spacer of preparing said paste in the space surrounded in said dam section in said hole.

[Claim 8]

In the manufacture approach of a semi-conductor wafer with a spacer according to claim 6 or 7,

The manufacture approach of a semi-conductor wafer with a spacer of preparing said paste so that it may become flat-tapped with said type of field.

[Claim 9]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 6 to claims 8,

Said paste is the manufacture approach of the semi-conductor wafer with a spacer which is resin.  
[Claim 10]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 6 to claims 10,

The CHIKISO ratio of said paste is the manufacture approach of a larger semi-conductor wafer with a spacer than the CHIKISO ratio of a mould closure ingredient.

[Claim 11]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 6 to claims 10 which quote either of claim 3 to claims 5,

Said paste is the manufacture approach of the semi-conductor wafer with a spacer containing said two or more balls.

[Claim 12]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 1 to claims 5,

It is the formation process of said spacer,

The ingredient of said spacer which has photosensitivity is prepared on said wafer,

The manufacture approach of the semi-conductor wafer with a spacer which forms said two or more spacers in exposing and developing said ingredient.

[Claim 13]

In the manufacture approach of a semi-conductor wafer with a spacer according to claim 12,

Said ingredient is the manufacture approach of a semi-conductor wafer with a spacer of having the property of either a positive type or a negative mold.

[Claim 14]

In the manufacture approach of a semi-conductor wafer with a spacer according to claim 12 or 13,

The manufacture approach of a semi-conductor wafer with a spacer of preparing said ingredient with a spin coat method.

[Claim 15]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 12 to claims 14 which quote either of claim 3 to claims 5,

Said ingredient is the manufacture approach of the semi-conductor wafer with a spacer containing said two or more balls.

[Claim 16]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 1 to claims 5,

It is the formation process of said spacer,

The sheet which is the ingredient of said spacer is stuck on a tape,

The manufacture approach of the semi-conductor wafer with a spacer which forms said two or more spacers by making two or more parts of said sheet imprint on said semi-conductor wafer from said tape.

[Claim 17]

In the manufacture approach of a semi-conductor wafer with a spacer according to claim 16,

Before said imprint process,

The manufacture approach of the semi-conductor wafer with a spacer which makes adhesive strength of said tape and said two or more parts smaller than the adhesive strength of said tape and other parts of said sheet.

[Claim 18]

In the manufacture approach of a semi-conductor wafer with a spacer according to claim 16 or 17,

Said tape is the manufacture approach of a semi-conductor wafer with a spacer of having ultraviolet-

rays hardenability.

[Claim 19]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 16 to claims 18,

Before said imprint process,

The manufacture approach of the semi-conductor wafer with a spacer which irradiates ultraviolet rays to the field which said two or more parts of said sheet paste up among said tapes.

[Claim 20]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 16 to claims 19,

Before said imprint process,

The manufacture approach of a semi-conductor wafer with a spacer of cutting said sheet on said tape so that it may pass along the profile of two or more of said parts.

[Claim 21]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 16 to claims 19 which quote either of claim 3 to claims 5,

Said sheet is the manufacture approach of the semi-conductor wafer with a spacer containing said two or more balls.

[Claim 22]

In the manufacture approach of a semi-conductor wafer with a spacer given in either of claim 1 to claims 21,

The process which forms said spacer is the manufacture approach of a semi-conductor wafer with a spacer including pressing and leveling said spacer.

[Claim 23]

It includes forming a spacer in said each semiconductor chip of two or more semiconductor chips superficially arranged in on a substrate,

The manufacture approach of a semiconductor device of the process which forms said two or more spacers being put in block on said substrate, and performing it.

[Claim 24]

In the manufacture approach of a semiconductor device according to claim 23,

The manufacture approach of the semiconductor device which forms said spacer inside the field of said semiconductor chip.

[Claim 25]

In the manufacture approach of a semiconductor device according to claim 23 or 24,

The manufacture approach of the semiconductor device which forms said spacer so that it may have two or more balls inside.

[Claim 26]

In the manufacture approach of a semiconductor device according to claim 25,

The manufacture approach of the semiconductor device which forms said spacer in height almost equal to the diameter of said ball.

[Claim 27]

In the manufacture approach of a semiconductor device according to claim 25 or 26,

Said ball is the manufacture approach of a semiconductor device of having elasticity.

[Claim 28]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 27,

It is the formation process of said spacer,

The mold which has two or more holes is set to said substrate,

The paste which is the ingredient of said spacer is prepared in said each hole,

The manufacture approach of the semiconductor device which forms said two or more spacers by

separating said mold from said wafer.

[Claim 29]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 28,

Said mold has the dam section which stops the flow of said paste,

The manufacture approach of a semiconductor device of preparing said paste in the space surrounded in said dam section in said hole.

[Claim 30]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 29,

The manufacture approach of a semiconductor device of preparing said paste so that it may become flat-tapped with said type of field.

[Claim 31]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 30,

Said paste is the manufacture approach of the semiconductor device which is resin.

[Claim 32]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 31,

The CHIKISO ratio of said paste is the manufacture approach of a larger semiconductor device than the CHIKISO ratio of a mould closure ingredient.

[Claim 33]

In the manufacture approach of a semiconductor device given in either of claim 28 to claims 32 which

quote either of claim 25 to claims 27,

Said paste is the manufacture approach of the semiconductor device containing said two or more balls.

[Claim 34]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 27,

It is the formation process of said spacer,

On said two or more semiconductor chips, the ingredient of said spacer which has photosensitivity is prepared at least,

The manufacture approach of the semiconductor device which forms said two or more spacers in exposing and developing said ingredient.

[Claim 35]

In the manufacture approach of a semiconductor device according to claim 34,

Said ingredient is the manufacture approach of a semiconductor device of having the property of either a positive type or a negative mold.

[Claim 36]

In the manufacture approach of a semiconductor device according to claim 34 or 35,

The manufacture approach of a semiconductor device of preparing said ingredient with a spin coat method.

[Claim 37]

In the manufacture approach of a semiconductor device given in either of claim 34 to claims 36 which

quote either of claim 25 to claims 27,

Said ingredient is the manufacture approach of the semiconductor device containing said two or more balls.

[Claim 38]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 27,

It is the formation process of said spacer,

The sheet which is the ingredient of said spacer is stuck on a tape,

The manufacture approach of the semiconductor device which forms said two or more spacers by making two or more parts of said sheet imprint on said semiconductor chip from said tape.

[Claim 39]

In the manufacture approach of a semiconductor device according to claim 36,

Before said imprint process,

The manufacture approach of the semiconductor device which makes adhesive strength of said tape and said two or more parts smaller than the adhesive strength of said tape and other parts of said sheet.

[Claim 40]

In the manufacture approach of a semiconductor device according to claim 38 or 39,

Said tape is the manufacture approach of a semiconductor device of having ultraviolet-rays hardenability.

[Claim 41]

In the manufacture approach of a semiconductor device according to claim 40,

Before said imprint process,

The manufacture approach of the semiconductor device which irradiates ultraviolet rays to the field which said two or more parts of said sheet paste up among said tapes.

[Claim 42]

In the manufacture approach of a semiconductor device given in either of claim 38 to claims 41,

Before said imprint process,

The manufacture approach of a semiconductor device of cutting said sheet on said tape so that it may pass along the profile of two or more of said parts.

[Claim 43]

In the manufacture approach of a semiconductor device given in either of claim 38 to claims 42 which quote either of claim 25 to claims 27,

Said sheet is the manufacture approach of the semiconductor device containing said two or more balls.

[Claim 44]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 43,

The process which forms said spacer is the manufacture approach of a semiconductor device including pressing and leveling said spacer.

[Claim 45]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 44,

The manufacture approach of the semiconductor device which includes further carrying out wirebonding of the electrode of said semiconductor chip, and the circuit pattern of said substrate.

[Claim 46]

In the manufacture approach of a semiconductor device according to claim 45,

The manufacture approach of a semiconductor device of performing the process which forms said spacer before said wirebonding process.

[Claim 47]

In the manufacture approach of a semiconductor device according to claim 45,

The manufacture approach of a semiconductor device of performing the process which forms said spacer after said wirebonding process.

[Claim 48]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 47,

The manufacture approach of the semiconductor device which includes further forming the aggregate of the semiconductor device of two or more stack molds by repeating the formation process of said spacer for two or more semiconductor chips of every after the 2nd step upon which it is put on said substrate.

[Claim 49]

In the manufacture approach of a semiconductor device according to claim 48,

It comes to form adhesives in the field it turns [ field ] to said substrate of each aforementioned semiconductor chips of two or more,

The manufacture approach of the semiconductor device which fixes said spacer and each of said semiconductor chip with said adhesives.

[Claim 50]

In the manufacture approach of a semiconductor device according to claim 49,  
Said adhesives are the manufacture approaches of the semiconductor device which is insulating adhesives.

[Claim 51]

In the manufacture approach of a semiconductor device according to claim 49 or 50,  
Said adhesives are the manufacture approaches of the semiconductor device which it comes to form all over the field it turns [ field ] to said substrate of said semiconductor chip.

[Claim 52]

In the manufacture approach of a semiconductor device given in either of claim 23 to claims 51,  
The manufacture approach of the semiconductor device which includes further forming the closure section which closes said two or more accumulated semiconductor chips on said substrate.

[Claim 53]

In the manufacture approach of a semiconductor device according to claim 52,  
The manufacture approach of the semiconductor device which includes further cutting said closure section and said substrate, and making it the semiconductor device of two or more stack molds after said closure process at the piece of an individual.

[Claim 54]

The semi-conductor wafer which has two or more semiconductor devices,  
The spacer formed on said each semiconductor device,  
A semi-conductor wafer with a \*\*\*\*\* spacer.

[Claim 55]

In a semi-conductor wafer with a spacer according to claim 54,  
Said spacer is a semi-conductor wafer with a spacer which it comes to form inside the field of said semiconductor device.

[Claim 56]

In a semi-conductor wafer with a spacer according to claim 54 or 55,  
Said spacer is a semi-conductor wafer with a spacer which has two or more balls inside.

[Claim 57]

In a semi-conductor wafer with a spacer according to claim 56,  
The height of said spacer is a semi-conductor wafer with a spacer almost equal to the diameter of said ball.

[Claim 58]

In a semi-conductor wafer with a spacer according to claim 56 or 57,  
Said ball is a semi-conductor wafer with a spacer which has elasticity.

[Claim 59]

The substrate which has a circuit pattern,  
Two or more semiconductor chips superficially arranged in on said substrate,  
The spacer formed on said each semiconductor chip,  
\*\*\*\*\* semiconductor device.

[Claim 60]

The substrate which has a circuit pattern,  
Two or more semiconductor chips accumulated in three dimensions [ it is superficially arranged on said substrate, and ],  
The spacer formed among said semiconductor chips accumulated in three dimensions,  
\*\*\*\*\* semiconductor device.

[Claim 61]

In a semiconductor device according to claim 59 or 60,  
Said spacer is a semiconductor device which it comes to form inside the field of said semiconductor chip.

[Claim 62]

In a semiconductor device given in either of claim 59 to claims 61,

The semiconductor device with which it comes to form an insulating layer in the field it turns [ field ] to said substrate of each aforementioned semiconductor chip.

[Claim 63]

In a semiconductor device according to claim 62,

Said insulating layer is a semiconductor device which it comes to form all over the field it turns [ field ] to said substrate of each aforementioned semiconductor chip.

[Claim 64]

In a semiconductor device given in either of claim 59 to claims 63,

Said spacer is a semiconductor device which has two or more balls inside.

[Claim 65]

In a semiconductor device according to claim 64,

The height of said spacer is a semiconductor device almost equal to the diameter of said ball.

[Claim 66]

In a semiconductor device according to claim 64 or 65,

Said ball is a semiconductor device which has elasticity.

[Claim 67]

In a semiconductor device given in either of claim 59 to claims 66,

Said semiconductor chip has an electrode,

The semiconductor device with which it comes to carry out wirebonding of said electrode and said circuit pattern of said substrate.

[Claim 68]

In a semiconductor device given in either of claim 59 to claims 67,

The semiconductor device with which it comes to form the closure section which closes said two or more semiconductor chips on said substrate.

[Claim 69]

In a semiconductor device according to claim 68,

said closure section and said substrate are cut -- an individual -- a piece -- the semiconductor device constituted as a stack mold it comes-izing [ mold ].

[Claim 70]

The circuit board by which the semiconductor device of a publication was mounted in either of claim 59 to claims 69.

[Claim 71]

Electronic equipment which has the semiconductor device of a publication in either of claim 59 to claims 69.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.



---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

#### [Field of the Invention]

This invention relates to electronic equipment at a semi-conductor wafer with a spacer and its manufacture approach, a semiconductor device and its manufacture approach, and a circuit board list.

[0002]

#### [Background of the Invention]

In recent years, the semiconductor device which accumulated two or more semiconductor chips is developed. There is a gestalt which carries out bonding of the wire to the electrode of a semiconductor chip, and aims at electric connection in it. In order to accumulate the semiconductor chip which has the same or larger appearance than it, it is necessary to form a spacer among semiconductor chips.

[0003]

Although the approach of carrying out potting of the resin was on the semiconductor chip as the formation approach of a spacer conventionally, since the height of resin was decided by the amount of potting, it was difficult to control the height and width of face of a spacer. Moreover, although there was the approach of carrying on a semiconductor chip after forming a silicon member and mould resin in a predetermined configuration, it was inferior to productivity, such as carrying out alignment of each spacer, for example for every semiconductor chip.

[0004]

This invention is for solving the technical problem mentioned above, and the object is in realizing the formation approach of a spacer of excelling in productivity.

[0005]

#### [Means for Solving the Problem]

(1) The manufacture approach of the semi-conductor wafer with a spacer concerning this invention includes forming a spacer in said each semiconductor device of the semi-conductor wafer which has two or more semiconductor devices,

The process which forms said two or more spacers is put in block on said semi-conductor wafer, and is performed. According to this invention, since two or more spacers are collectively formed on a semi-conductor wafer, productivity is very high. That is, the time and effort which attaches a spacer on a semiconductor device separately can be omitted, and a spacer can be formed promptly and easily.

(2) In this semi-conductor wafer with a spacer,

Said spacer may be formed inside the field of said semiconductor device. According to this, surface area of a spacer can be made small. Therefore, even if it is the case where the ingredient and physical-properties value which are used for closure of a semiconductor device differ from each other for example, the internal stress of a semiconductor device can be decreased.

(3) In this semi-conductor wafer with a spacer,

Said spacer may be formed so that it may have two or more balls inside. According to this, since the spacer of the height as a design can be formed easily, a semi-conductor wafer with a spacer can be manufactured easily.

(4) In this semi-conductor wafer with a spacer,

Said spacer may be formed in height almost equal to the diameter of said ball.

(5) In this semi-conductor wafer with a spacer,

Said ball may have elasticity. According to this, it can prevent that a semi-conductor wafer gets damaged with a ball.

(6) In this semi-conductor wafer with a spacer,

It is the formation process of said spacer,

The mold which has two or more holes is set to said wafer,  
The paste which is the ingredient of said spacer is prepared in said each hole,  
Said two or more spacers may be formed by separating said mold from said wafer. According to this, two or more spacers can be collectively formed by preparing a paste in two or more holes formed in the mold.

(7) In this semi-conductor wafer with a spacer,  
Said mold has the dam section which stops the flow of said paste,  
Said paste may be prepared in the space surrounded in said dam section in said hole. Even if it uses the ingredient which is easy to flow by this, the spacer of predetermined width of face can be formed easily.

(8) In this semi-conductor wafer with a spacer,  
Said paste may be prepared so that it may become flat-topped with said type of field. According to this, the spacer of predetermined height can be easily formed by preparing a paste so that it may become flat-topped with the field of a mold.

(9) In this semi-conductor wafer with a spacer,  
Said paste may be resin.

(10) In this semi-conductor wafer with a spacer,  
The CHIKISO ratio of said paste may be larger than the CHIKISO ratio of a mould closure ingredient.

(11) In this semi-conductor wafer with a spacer,  
Said paste may contain said two or more balls. According to this, the spacer containing a ball can be easily formed in the interior.

(12) In this semi-conductor wafer with a spacer,  
It is the formation process of said spacer,  
The ingredient of said spacer which has photosensitivity is prepared on said wafer,  
Said two or more spacers may be formed in exposing and developing said ingredient. According to this, two or more spacers can be collectively formed in exposing and developing an ingredient.

(13) In this semi-conductor wafer with a spacer,  
Said ingredient may have the property of either a positive type or a negative mold.

(14) In this semi-conductor wafer with a spacer,  
Said ingredient may be prepared with a spin coat method. An ingredient can be made into fixed thickness by this. Therefore, the spacer of predetermined height can be formed easily.

(15) In this semi-conductor wafer with a spacer,  
Said ingredient may contain said two or more balls. According to this, the spacer containing a ball can be easily formed in the interior.

(16) In this semi-conductor wafer with a spacer,  
It is the formation process of said spacer,  
The sheet which is the ingredient of said spacer is stuck on a tape,  
Said two or more spacers may be formed by making two or more parts of said sheet imprint on said semi-conductor wafer from said tape. According to this, two or more spacers can be collectively formed by imprinting the sheet stuck on the tape.

(17) In this semi-conductor wafer with a spacer,  
Before said imprint process,  
Adhesive strength of said tape and said two or more parts may be made smaller than the adhesive strength of said tape and other parts of said sheet. A sheet can be made to imprint on a semi-conductor wafer selectively by this.

(18) In this semi-conductor wafer with a spacer,  
Said tape may have ultraviolet-rays hardenability.

(19) In this semi-conductor wafer with a spacer,  
Before said imprint process,  
Ultraviolet rays may be irradiated to the field which said two or more parts of said sheet paste up among

said tapes. By this, a sheet can be removed selectively easily. (20) In this semi-conductor wafer with a spacer,

Before said imprint process,

On said tape, said sheet may be cut so that it may pass along the profile of two or more of said parts.

By this, a sheet can be removed selectively easily.

(21) In the manufacture approach of this semi-conductor wafer with a spacer,

Said sheet may contain said two or more balls. According to this, the spacer containing a ball can be easily formed in the interior.

(22) In the manufacture approach of this semi-conductor wafer with a spacer,

The process which forms said spacer may also include pressing and leveling said spacer.

(23) The manufacture approach of the semiconductor device concerning this invention includes forming a spacer in said each semiconductor chip of two or more semiconductor chips superficially arranged in on a substrate,

The process which forms said two or more spacers is put in block on said substrate, and is performed. Since according to this invention the formation process of two or more spacers is put in block on a substrate and performed, productivity is very high. That is, the time and effort which attaches a spacer in a semiconductor chip separately can be omitted, and a spacer can be formed promptly and easily.

(24) In the manufacture approach of this semiconductor device,

Said spacer may be formed inside the field of said semiconductor chip.

According to this, surface area of a spacer can be made small. Therefore, even if it is the case where the ingredient and physical-properties value which are used for closure of a semiconductor device differ from each other for example, the internal stress of a semiconductor device can be decreased.

(25) In the manufacture approach of this semiconductor device,

Said spacer may be formed so that it may have two or more balls inside. According to this, since the spacer of the height as a design can be formed easily, a semiconductor device can be manufactured easily.

(26) In the manufacture approach of this semiconductor device,

Said spacer may be formed in height almost equal to the diameter of said ball.

(27) In the manufacture approach of this semiconductor device,

Said ball may have elasticity. According to this, it can prevent that the front face of a semiconductor chip gets damaged with a ball.

(28) In the manufacture approach of this semiconductor device,

It is the formation process of said spacer,

The mold which has two or more holes is set to said substrate,

The paste which is the ingredient of said spacer is prepared in said each hole,

Said two or more spacers may be formed by separating said mold from said wafer. According to this, two or more spacers can be collectively formed by preparing a paste in two or more holes formed in the mold.

(29) In the manufacture approach of this semiconductor device,

Said mold has the dam section which stops the flow of said paste,

Said paste may be prepared in the space surrounded in said dam section in said hole. Even if it uses the ingredient which is easy to flow by this, the spacer of predetermined width of face can be formed easily.

(30) In the manufacture approach of this semiconductor device,

Said paste may be prepared so that it may become flat-tapped with said type of field. According to this, the spacer of predetermined height can be easily formed by preparing a paste so that it may become flat-tapped with the field of a mold.

(31) In the manufacture approach of this semiconductor device,

Said paste may be resin.

(32) In the manufacture approach of this semiconductor device,

The CHIKISO ratio of said paste may be larger than the CHIKISO ratio of a mould closure ingredient.  
(33) In the manufacture approach of this semiconductor device,

Said paste may contain said two or more balls. According to this, the spacer containing a ball can be easily formed in the interior.

(34) In the manufacture approach of this semiconductor device,

It is the formation process of said spacer,

On said two or more semiconductor chips, the ingredient of said spacer which has photosensitivity is prepared at least,

Said two or more spacers may be formed in exposing and developing said ingredient. According to this, two or more spacers can be collectively formed in exposing and developing an ingredient.

(35) In the manufacture approach of this semiconductor device,

Said ingredient may have the property of either a positive type or a negative mold.

(36) In the manufacture approach of this semiconductor device,

Said ingredient may be prepared with a spin coat method. An ingredient can be made into fixed thickness by this. Therefore, the spacer of predetermined height can be formed easily.

(37) In the manufacture approach of this semiconductor device,

Said ingredient may contain said two or more balls. According to this, the spacer containing a ball can be easily formed in the interior.

(38) In the manufacture approach of this semiconductor device,

It is the formation process of said spacer,

The sheet which is the ingredient of said spacer is stuck on a tape,

Said two or more spacers may be formed by making two or more parts of said sheet imprint on said semiconductor chip from said tape. According to this, two or more spacers can be collectively formed by imprinting the sheet stuck on the tape.

(39) In the manufacture approach of this semiconductor device,

Before said imprint process,

Adhesive strength of said tape and said two or more parts may be made smaller than the adhesive strength of said tape and other parts of said sheet. A sheet can be made to imprint on a semiconductor wafer selectively by this.

(40) In the manufacture approach of this semiconductor device,

Said tape may have ultraviolet-rays hardenability.

(41) In the manufacture approach of this semiconductor device,

Before said imprint process,

Ultraviolet rays may be irradiated to the field which said two or more parts of said sheet paste up among said tapes. By this, a sheet can be removed selectively easily. (42) In the manufacture approach of this semiconductor device,

Before said imprint process,

On said tape, said sheet may be cut so that it may pass along the profile of two or more of said parts. By this, a sheet can be removed selectively easily.

(43) In the manufacture approach of this semiconductor device,

Said sheet may contain said two or more balls. According to this, the spacer containing a ball can be easily formed in the interior.

(44) In the manufacture approach of this semiconductor device,

The process which forms said spacer may also include pressing and leveling said spacer.

(45) In the manufacture approach of this semiconductor device,

You may also include further carrying out wirebonding of the electrode of said semiconductor chip, and the circuit pattern of said substrate.

(46) In the manufacture approach of this semiconductor device,

The process which forms said spacer before said wirebonding process may be performed.

(47) In the manufacture approach of this semiconductor device,  
The process which forms said spacer after said wirebonding process may be performed.

(48) In the manufacture approach of this semiconductor device,  
You may also include further forming the aggregate of the semiconductor device of two or more stack molds by repeating the formation process of said spacer for two or more semiconductor chips of every after the 2nd step upon which it is put on said substrate. According to this, the formation process of a spacer is put in block on a substrate for two or more semiconductor chips of every after the 2nd step, and is performed. The time and effort which moves the semiconductor chip after forming a spacer on a substrate, and changes it by this is omitted, and a semiconductor device can be manufactured by the minimum routing counter.

(49) In the manufacture approach of this semiconductor device,  
It comes to form adhesives in the field it turns [ field ] to said substrate of each aforementioned semiconductor chips of two or more,  
Said spacer and each of said semiconductor chip may be fixed with said adhesives.

(50) In the manufacture approach of this semiconductor device,  
Said adhesives may be insulating adhesives.

(51) In the manufacture approach of this semiconductor device,  
Said adhesives may be formed all over the field it turns [ field ] to said substrate of said semiconductor chip.

(52) In the manufacture approach of this semiconductor device,  
You may also include further forming the closure section which closes said two or more accumulated semiconductor chips on said substrate.

(53) In the manufacture approach of this semiconductor device,  
You may also include further cutting said closure section and said substrate, and making it the semiconductor device of two or more stack molds after said closure process, at the piece of an individual.

(54) The semi-conductor wafer concerning this invention is a semi-conductor wafer which has two or more semiconductor devices,  
The spacer formed on said each semiconductor device,  
\*\*\*\*\*.

(55) In this semi-conductor wafer,  
Said spacer may be formed inside the field of said semiconductor device.

(56) In this semi-conductor wafer,  
Said spacer may have two or more balls inside.

(57) In this semi-conductor wafer,  
The height of said spacer may be almost equal to the diameter of said ball.

(58) In this semi-conductor wafer,  
Said ball may have elasticity.

(59) The semiconductor device concerning this invention is a substrate which has a circuit pattern,  
Two or more semiconductor chips superficially arranged in on said substrate,  
The spacer formed on said each semiconductor chip,  
\*\*\*\*\*.

(60) The semiconductor device concerning this invention is a substrate which has a circuit pattern,  
Two or more semiconductor chips accumulated in three dimensions [ it is superficially arranged on said substrate, and ],  
The spacer formed among said semiconductor chips accumulated in three dimensions,  
\*\*\*\*\*.

(61) In this semiconductor device,  
Said spacer may be formed inside the field of said semiconductor chip.

- (62) In this semiconductor device,  
The insulating layer may be formed in the field it turns [ field ] to said substrate of each aforementioned semiconductor chip.
- (63) In this semiconductor device,  
Said insulating layer may be formed all over the field it turns [ field ] to said substrate of each aforementioned semiconductor chip.
- (64) In this semiconductor device,  
Said spacer may have two or more balls inside.
- (65) In this semiconductor device,  
The height of said spacer may be almost equal to the diameter of said ball.
- (66) In this semiconductor device,  
Said ball may have elasticity.
- (67) In this semiconductor device,  
Said semiconductor chip has an electrode,  
Wirebonding of said electrode and said circuit pattern of said substrate may be carried out.
- (68) In this semiconductor device,  
On said substrate, the closure section which closes said two or more semiconductor chips may be formed.
- (69) In this semiconductor device,  
said closure section and said substrate are cut -- an individual -- a piece -- it may be constituted as a stack mold it comes-izing [ mold ].
- (70) As for the circuit board concerning this invention, the above-mentioned semiconductor device is mounted.
- (71) The electronic equipment concerning this invention has the above-mentioned semiconductor device.

[0006]

[Embodiment of the Invention]

Hereafter, the gestalt of operation of this invention is explained with reference to a drawing. However, this invention is not limited to the gestalt of the following operations.

[0007]

(Gestalt of the 1st operation)

Drawing 1 - drawing 10 are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention. First, as shown in drawing 1 , two or more semiconductor chips 20 are carried in a substrate 10. If a substrate 10 becomes a piece of an individual, it will serve as INTAPOZA of a semiconductor device.

[0008]

A substrate 10 may be formed from which ingredient of an organic system (polyimide substrate) or an inorganic system (a ceramic substrate, glass substrate), and may be formed from these composite constructions (glass epoxy group plate). Although the flat-surface configuration of a substrate 10 is not limited, as shown in drawing 1 , a rectangle is made in many cases. Any of a monolayer or a multilayer substrate are sufficient as a substrate 10.

[0009]

Since two or more semiconductor chips 20 are carried in a substrate 10, two or more loading fields 12 are formed. The loading field 12 is formed in the field of either of the substrates 10, or both. In the example shown in drawing 1  $R > 1$ , two or more loading fields 12 are arranged by multi-line two or more trains (the shape of a matrix) on the field of a substrate 10.

[0010]

A substrate 10 has the circuit pattern 14 (refer to drawing 3 (A)) which consists of two or more wiring. In detail, the circuit pattern 14 is formed in each loading field 12. Two or more breakthroughs 16 (refer to drawing 3 (A)) for connecting one field and the field of another side to a substrate 10 electrically may

be formed. A breakthrough 16 may be buried with an electrical conducting material, is plated by the internal surface, and may serve as a through hole. By carrying out like this, electric connection can be aimed at from both sides of a substrate 10.

[0011]

Although the configuration of a semiconductor chip 20 is not limited, as shown in drawing 1 , a rectangular parallelepiped (a cube is included) is made in many cases. The integrated circuit with which a semiconductor chip 20 consists of a transistor which is not illustrated, a memory device, etc. is formed. A semiconductor chip 20 has at least one electrode (in the cases of many plurality) (not shown) linked to an integrated circuit and an electric target. An electrode may be arranged along with two sides of an appearance, or four sides at the edge of the field of a semiconductor chip 20, and may be formed in the center section of the field. An electrode may be formed with the metal of an aluminum system or a copper system. Moreover, the center section of the electrode is avoided to a semiconductor chip 20, an edge is covered to it, and the passivation film (not shown) is formed in it. The passivation film can be formed with SiO<sub>2</sub>, SiN, polyimide resin, etc.

[0012]

As shown in drawing 1 , a semiconductor chip 20 is carried in each of two or more loading fields 12 of a substrate 10. Two or more semiconductor chips 20 are superficially arranged in a substrate 10. An electrode is turned upwards and bonding (face up bonding) of the semiconductor chip 20 is carried out. A semiconductor chip 20 may be pasted up on a substrate 10 with adhesives. At this time, adhesives may have insulation.

[0013]

As shown in drawing 2 , a semiconductor chip 20 and a circuit pattern 14 are connected electrically. It is [ connection / both / electric ] good in drawing by the wire 30. In that case, the ball bump method may be applied. That is, a wire 30 may be electrically connected to an electrode by what melting of the point of the wire 30 pulled out to the exterior of a tool (for example, capillary) is carried out to the shape of a ball, and is done to an electrode for the thermocompression bonding of the point (it is desirable when supersonic vibration is also used together). In that case, after carrying out bonding of the wire 30 to the electrode of a semiconductor chip 20, bonding of it may be carried out to the circuit pattern 14 of a substrate 10.

[0014]

As a modification, after carrying out bonding of the wire 30 to the circuit pattern 14 of a substrate 10, bonding of it may be carried out to the electrode of a semiconductor chip 10. Thus, the loop-formation height of a wire 30 can be made low by pulling out a wire 30 in a high location from a low location. When performing second bonding to the electrode of a semiconductor chip 10, it is desirable to prepare a bump on an electrode beforehand. By carrying out like this, the electric connection dependability of a wire 30 and an electrode can be raised, without damaging the electrode used as a substrate.

[0015]

As shown in drawing 3 (A) – drawing 3 (C), a spacer 50 is formed in each semiconductor chip 20. With the gestalt of this operation, two or more spacers 50 by applying print processes are formed collectively. The ingredient of a spacer 50 may be liquefied resin (for example, paste 49). A spacer 50 is formed in the top face (forming face of an electrode) of a semiconductor chip 20. For example, a spacer 50 may be formed inside the field of a semiconductor chip 20 (refer to drawing 5 ). For example, a spacer 50 may be formed in the field of a center section rather than two or more electrodes formed in the edge in the field of a semiconductor chip 20. According to this, surface area of a spacer 50 can be made small. therefore -- for example, since both touch area becomes small even if it is the case where the ingredient (for example, ingredient of the activity to transfer mold) and physical-properties value (for example, coefficient of thermal expansion) which are used for closure of a semiconductor device differ from each other, the internal stress of a semiconductor device can be decreased. Or a spacer 50 may be formed so that it may overflow into the outside of the field of a semiconductor chip 20. When forming

a spacer 50 after a wirebonding process, some wires 30 may be covered with a paste 49. In addition, a spacer 50 is formed more thickly (highly) than the height of a wire 30.

[0016]

As for a paste 49, it may be desirable that it is an insulating material, for example, you may be resin. Moreover, as for the CHIKISO ratio of a paste 49, it is desirable that it is larger than the CHIKISO ratio of a mould closure ingredient (for example, ingredient used for transfermold (for example, resin)). By carrying out like this, a printing omission can be lost and a spacer 50 can be certainly formed on a semiconductor chip 20.

[0017]

As shown in drawing 3 (A), it sets to the near field where the mold 40 was carried in the semiconductor chip 20 of a substrate 10. A mold 40 is the mask (or screen) by which patterning was carried out to the predetermined flat-surface configuration. A spacer 50 is formed in a semiconductor chip 20 by forming the paste 49 which is the ingredient of a spacer 50 in the space formed with the mold 40.

[0018]

A mold 40 has two or more holes 42 for forming a paste 49. In the example shown in drawing 3 (A), one hole 42 supports any one semiconductor chip 20. And the space for forming a paste 49 on a substrate 10 is formed by setting a mold 40 to a substrate 10. As shown in drawing 3 (A), the flat-surface configuration of opening of a hole 42 may be included inside the field of a semiconductor chip 20. Since the field where a paste 49 is extruded is included inside the field of a semiconductor chip 20 by carrying out like this, it becomes easy to form a spacer 50 inside the field of a semiconductor chip 20. In addition, the flat-surface configuration of a hole 42 is not limited, for example, may make a rectangle or a round shape.

[0019]

As shown in drawing 3 (A), a mold 40 may have the dam section 44 which stops the flow (flow which spreads crosswise [ of a substrate ]) of a paste 49. In the example shown in drawing 3 (A), the dam section 44 is extended and formed in the height direction of a semiconductor chip 20 at the periphery of the hole 42 included inside the field of a semiconductor chip 20. When a mold 40 is set to a substrate 10, the dam section 44 contacts the field of a semiconductor chip 10. By forming the dam section 44, even if a paste 49 tends to flow, the spacer 50 of predetermined width of face can be formed easily (even if a CHIKISO ratio is large). Conversely, if it says, as long as it will choose the ingredient which cannot flow easily (a CHIKISO ratio is small) as a paste 49, the dam section 44 may omit. in addition, when you omit the dam section 44, pass a leveling process (refer to drawing 4 ) -- each spacer 50 may be formed. What is necessary is just to form the dam section 44 according to the flat-surface configuration of a spacer 50.

[0020]

As shown in drawing 3 (A), the solid configuration by the side of the substrate 10 of a mold 40 is making the configuration ( drawing 3 (A) crevice) which avoids the heights on a substrate 10 (a semiconductor chip 20, a wire 22, circuit pattern 14, etc.). If the part by the side of the substrate 10 of a mold 40 is made into the configuration which also avoids a wire 22, it will become possible to perform the formation process of a spacer 50 after a wirebonding process. As a modification, the formation process of a spacer 50 may be performed before a wirebonding process. A mold 40 may be formed in a solid configuration predetermined by applying the etching method (a half or full etching).

[0021]

As shown in drawing 3 (A), a mold 40 is set to a substrate 10 and a hole 42 is arranged on a semiconductor chip 20. And a paste 49 is formed in a mold 40 and a paste 49 is carried out to the height of the field of a mold 40 in a hole 42 by the press member (for example, squeegee) 48 at homogeneity.

[0022]

In this way, as shown in drawing 3 (B), a paste 49 is formed in two or more holes 42 of a mold 40. In that case, all (part surrounded in the dam section 44 in drawing 3 (A)) of space may be made to fill up with a



paste 49, and a paste 49 becomes flat-tapped with the field (it is the field of an opposite hand in a substrate 10) 46 of a mold 40 at this time. That is, the height of the field of a paste 49 becomes the same as that of the height of the field of a mold 40. Therefore, the spacer 50 of predetermined height can be easily formed by determining the height of the field of a mold 40.

[0023]

As shown in drawing 3 (C), two or more spacers 50 can be formed on two or more semiconductor chips 20 by separating a mold 40 from a substrate 10.

[0024]

According to this approach, two or more spacers 50 can be collectively formed by forming a paste 49 in two or more holes 42 formed in the mold 40. Moreover, since a paste 49 is directly formed in a required part, an ingredient cannot be made useless and cost can be held down.

[0025]

In addition, a paste 49 may be formed in a part of space (a part of space surrounded in the dam section 44 in drawing 3 (A)). After forming a spacer with a paste 49 at this time, a spacer 50 may be formed by pressing and leveling them. According to this, with the field the height of each spacer 50 can be made regularity, and it turns [ field ] to the semiconductor chip 20 of a spacer 50, the field of an opposite hand can be formed so that it may become a semiconductor chip 20 and parallel. Therefore, the laminating of two or more semiconductor chips can be carried out so that semiconductor chips may be parallel, and the semiconductor device with electric high dependability with which the semiconductor chips by which the laminating was carried out, or a semiconductor chip and a wire cannot short-circuit easily can be manufactured. At this time, as shown in drawing 4 , simultaneously, two or more spacers may be pressed with the press fixture 100, may be put in block, and two or more spacers 50 may be formed.

[0026]

In this way, a spacer 50 can be formed in each of two or more semiconductor chips 20 on a substrate 10 as shown in drawing 5 . A semiconductor device 1 contains a substrate 10, the semiconductor chip 20 superficially arranged in on a substrate 10, and the spacer 50 formed on each semiconductor chip 20. The existence of the adhesion function of spacer 50 the very thing does not ask.

[0027]

In addition, as shown in drawing 6 , a spacer may be formed so that it may have two or more balls 57 inside. The paste containing two or more balls 57 may be used, and the spacer 55 which has two or more balls may be formed in the interior by performing the process which forms the spacer 50 mentioned above. According to this, it becomes easy to arrange the height of each spacer 55, and a reliable semiconductor device can be manufactured. Since it becomes easy to control the height of the press fixture 100 by the ball 57 when leveling with the press fixture 100 and forming a spacer especially, the process which levels two or more spacers simultaneously can be performed easily, and a reliable semiconductor device can be formed efficiently. Moreover, with the field it turns [ field ] to the semiconductor chip 20 of a spacer 55, since it becomes easy to form the field of an opposite hand so that it may become a semiconductor chip 20 and parallel, a reliable semiconductor device can be manufactured easily. In addition, a spacer 55 may be formed in height almost equal to the diameter of a ball 57. That is, the ball which makes the almost same diameter as the design height of a spacer 55 as a ball 57 may be used. Although especially the ingredient of a ball 57 is not limited, you may be resin, rubber, etc., for example. Moreover, a ball 57 may be formed with the ingredient which has insulation. A ball 57 may have elasticity. Since it can prevent that a semiconductor chip gets damaged with a ball 57 when a ball 57 has elasticity, a reliable semiconductor device can be manufactured.

[0028]

Next, as shown in drawing 7 (A) and drawing 7 (B), two or more of other semiconductor chips 22 are accumulated on two or more semiconductor chips 20 put in order superficially, an above-mentioned process is repeated to each semiconductor chip 22, and a spacer 52 is formed.

[0029]

As shown in drawing 7 (A), an electrode is turned upwards and bonding of the semiconductor chip 22 is carried out on a semiconductor chip 20. In detail, a semiconductor chip 22 is carried on a spacer 50. For example, a semiconductor chip 22 may be fixed on a spacer 50 with the adhesives (for example, adhesion sheet) 60 stuck on the rear face (field it turns [ field ] to a substrate 10) of a semiconductor chip 22. In addition, adhesives 60 may be insulating adhesives, and if adhesives 60 are formed in the whole rear face of a semiconductor chip 22 at this time, they can prevent a short circuit with a semiconductor chip 22 and a wire 30. Then, a semiconductor chip 22 and a circuit pattern 14 are electrically connected with a wire 32.

[0030]

And a mold 41 is set to a substrate 10 and a paste 49 is formed in a hole 42 by the press member 48. As shown in drawing 7 (A), when the dam section 44 is formed, the space surrounded in the dam section 44 is made to fill up with a paste 49. In this way, a paste 49 is formed so that it may become flat-tapped with the field 46 of a mold 41.

[0031]

Then, as shown in drawing 7 (B), two or more spacers 52 can be collectively formed on two or more semiconductor chips 22 by separating a mold 41 from a substrate 10.

[0032]

As shown in drawing 8 , the above process is repeated two or more times, and the aggregate of the semiconductor device of two or more stack structures is formed. Two or more semiconductor chips are accumulated on the substrate 10. In the example shown in drawing 8 , four semiconductor chips 20, 22, 24, and 26 are accumulated in three dimensions, and spacers 50, 52, and 54 intervene among the semiconductor chips of the height direction.

[0033]

According to this, the formation process of a spacer is put in block on a substrate 10 for every [ two or more semiconductor chips 22 and 24 after the 2nd step, and ] 26, and is performed. Therefore, the time and effort which moves the semiconductor chip after forming a spacer on a substrate 10, and changes it is omitted, and a semiconductor device can be manufactured by the minimum routing counter.

[0034]

In the example shown in drawing 8 , although the magnitude of the appearance of each semiconductor chips 20, 22, 24, and 26 is the same, the gestalt of this operation is not limited to this, but may carry two or more semiconductor chips of magnitude which is different in a substrate 10. For example, the appearance of an upper semiconductor chip may be made larger than the appearance of a lower semiconductor chip.

[0035]

As shown in drawing 9 , two or more semiconductor chips 20, 22, 24, and 26 accumulated on the substrate 10 are closed. A sealing agent may be resin. As shown in drawing 9 , package closure of two or more semiconductor chips 20, 22, 24, and 26 superficially put in order by the substrate 10 may be carried out. What is necessary is just to use metal mold for closure. For example, transfermold may be applied and the closure section 62 may be formed on a substrate 10. In that case, a sealing agent is called mould resin. According to this, since the closure section 70 can be simultaneously formed on two or more substrates 10 for example, it excels in productivity.

[0036]

Or the closure section 70 may be formed by applying the potting method. In that case, as for a sealing agent, it is common that it is liquefied resin (for example, potting resin).

[0037]

The aggregate 3 of a semiconductor device contains a substrate 10, two or more semiconductor chips 20, 22, 24, and 26, and two or more spacers 50, 52, and 54. Two or more semiconductor chips 20, 22, 24, and 26 are superficially arranged in on a substrate 10, and are accumulated in three dimensions. And

spacers 50, 52, and 54 are formed among the semiconductor chips accumulated in three dimensions. Two or more semiconductor chips 20, 22, 24, and 26 are covered with the closure section 62 prepared on the substrate 10.

[0038]

As shown in drawing 9 , the cutting fixture (for example, blade) 70 cuts the closure section 62 and a substrate 10. By this, the aggregate 3 is used as the semiconductor device 5 (refer to drawing 10 ) of two or more stack molds at the piece of an individual. Positioning of cutting will become easy if the cutting line (line shown in the two-dot chain line of drawing 9 ) is beforehand formed in the closure section 62.

[0039]

In this way, as shown in drawing 10 , the semiconductor device 5 constituted as a stack mold can be formed. A semiconductor device 5 contains a substrate 11, two or more semiconductor chips 20, 22, 24, and 26 accumulated in three dimensions, and the closure section 64.

[0040]

As shown in drawing 10 , two or more external terminals 66 may be formed in a substrate 10 (or substrate 11). The external terminal 66 may be performed to any before and behind an above-mentioned cutting process. If it is before a cutting process, since it bundles up to two or more semiconductor devices and the external terminal 66 can be formed, it excels in productivity. The external terminal 66 may be a pewter ball. The external terminal 66 is electrically connected to the circuit pattern 14. The external terminal 66 may be formed in the location of a through hole 16.

[0041]

According to the manufacture approach of the semiconductor device concerning the gestalt of this operation, since two or more spacers 50, 52, and 54 are collectively formed on a substrate 10, productivity is very high. That is, the time and effort which attaches spacers 50, 52, and 54 in semiconductor chips 20, 22, and 24 separately can be omitted, and a spacer can be formed promptly and easily.

[0042]

The semiconductor device concerning the gestalt of this operation is equipped with the effectiveness above-mentioned [ the effectiveness of the semiconductor device concerning the gestalt of this operation ], including the configuration drawn from one which was chosen from the above-mentioned manufacture approach of specific matters. As shown in drawing 5 , drawing 9 , and drawing 10 , the semiconductor device concerning the gestalt of this operation is manufactured in process of the above-mentioned manufacture approach.

[0043]

(Gestalt of the 2nd operation)

Drawing 11 (A) - drawing 11 (C) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 2nd of this invention. With the gestalt of this operation, two or more spacers 50 by applying a lithography technique (for example, photolithography technique) are formed collectively. As shown in drawing 11 (A), this process may be performed before a wirebonding process and may be performed after a wirebonding process as a modification. In addition, with the gestalt of this operation, the content explained with the gestalt of above-mentioned operation is omitted.

[0044]

As shown in drawing 11 (A), the ingredient (resist) 72 which has photosensitivity is formed on two or more semiconductor chips 20. An ingredient 72 may be formed so that two or more semiconductor chips 20 may be covered, and it may be prepared the whole surface on a substrate 10. Or an ingredient 72 may be divided and formed every semiconductor chip 20. As for an ingredient 72, it is desirable to form by fixed thickness on each semiconductor chip 20. For example, an ingredient 72 may be formed with the application of a spin coat method. According to this, since an ingredient 72 can be made into fixed thickness, the height of a spacer 50 is easily controllable. Or an ingredient 72 may be formed with the

application of a dipping method and a spray coating method. In addition, the ingredient 72 may contain two or more balls (not shown). A ball may apply the content of the ball 57 explained previously.

[0045]

As shown in drawing 11 (A), patterning of the ingredient 72 is carried out. In detail, a mask 74 is arranged on an ingredient 72 and light energy 76 is irradiated. That is, an ingredient 72 is exposed through a mask 74. The configuration of a mask 74 is decided by the patterning configuration, and turns into a reversal configuration by whether an ingredient 72 is a positive type or it is a negative mold. At the example shown in drawing 11 (A), an ingredient 72 is a wrap by the mask 74 about the part which has the property of a positive type and it leaves as a spacer 50. As a modification, what has the property of a negative mold may be applied as an ingredient 72, and opening of a mask 74 is arranged into the part which it leaves as a spacer 50 in that case. Then, an ingredient 72 is developed and a spacer 50 is formed in a position. In addition, an unnecessary part may be removed among ingredients 72 by irradiating a laser beam.

[0046]

In this way, as shown in drawing 11 (B), a spacer 50 is formed on a semiconductor chip 20. Although the location in which a spacer 50 is formed is not limited, when performing a wirebonding process behind, a spacer 50 is avoided and a part for the electric connection of a wire is prepared. Then, as shown in drawing 11 (C), the electrode of a semiconductor chip 20 and the circuit pattern 14 of a substrate 10 are electrically connected with a wire 30.

[0047]

Apart from \*\*\*\*, the formation process of a spacer 50 may be performed after a wirebonding process. In that case, before an exposure process, an ingredient 72 may be formed so that a wire 30 may be covered. You may remove in developing a wire among ingredients 72, in removing a wrap part, and may remove by irradiating a laser beam. It may leave a wrap part for a wire 30 as some spacers 50 among ingredients 72.

[0048]

The above process may be repeated two or more times, and the aggregate of the semiconductor device of two or more stack structures may be formed. Or you may combine with the gestalt of above-mentioned operation.

[0049]

(Gestalt of the 3rd operation)

Drawing 12 (A) – drawing 12 (C) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 3rd of this invention. With the gestalt of this operation, two or more spacers 50 by making an ingredient (sheet) imprint are formed collectively. As shown in drawing 12 (A), this process may be performed before a wirebonding process and may be performed after a wirebonding process as a modification. In addition, with the gestalt of this operation, the content explained with the gestalt of above-mentioned operation is omitted.

[0050]

As shown in drawing 12 (A), a tape 80 and a sheet 82 are prepared. The sheet 82 is stuck on the tape 80. A tape 80 is the member for conveyance of a sheet 82. A tape 80 has adhesive strength. As for a tape 80, it is desirable that it is what demonstrates adhesive strength at the time of conveyance of a sheet 82, and loses adhesive strength at the time of the imprint of a sheet 82. The adhesive strength may become small because a tape 80 adds energy. For example, a tape 80 may have the ultraviolet-rays hardenability to which adhesive strength becomes small by the exposure of ultraviolet rays.

[0051]

A sheet 82 is the ingredient of a spacer 50 and is forming the solid-state. As shown in drawing 12 (A), a sheet 82 may be formed in one whole field of a tape 80. As a modification, you may prepare in a part of one field of a tape 80. Two or more sheets 82 of the same configuration as the configuration of a spacer 50 may be formed in a tape 80. In that case, two or more spacers 50 can be formed only by making two

or more sheets 82 imprint by forming one sheet 82 in the location corresponding to any one semiconductor chip 20.

[0052]

The formation approach of a sheet 82 is not limited. For example, after forming a sheet 82 at another process, you may stick on a tape 80, and as long as it is possible, a sheet 82 may be formed on a tape 80 (refer to an above-mentioned process). A sheet 82 may be formed by applying transfermold.

[0053]

In addition, the sheet 82 may contain two or more balls (not shown). A ball may apply the content of the ball 57 explained previously.

[0054]

Two or more parts (part used as a spacer 50) 84 of a sheet 82 are made to imprint on a semiconductor chip 20, as shown in drawing 12 (A).

[0055]

It is desirable to make adhesive strength of a tape 80 and two or more parts 84 of a sheet 82 smaller than the adhesive strength of a tape 80 and other parts of a sheet in front of an imprint process. for example, the tape 80 — being partial (two or more parts 84) — adhesive strength may be made small by irradiating energy. It can be made easy to exfoliate only the part 84 of a sheet 82 from a tape 80 by carrying out like this.

[0056]

Before an imprint process, as shown in drawing 12 (A), you may cut so that it may pass along the profile of two or more parts 84 of a sheet 82. That is, a sheet 82 is divided into two or more parts 84 on a tape 80. In that case, two or more parts 84 of a sheet 82 can be dealt with in one by not cutting a tape 80.

[0057]

At an imprint process, the part 84 of a sheet 82 may be extruded towards a semiconductor chip 20 through a tape 80. Or the part 84 of a sheet 82 may be pasted up on a semiconductor chip 20 by forming adhesives in the location in which a spacer 50 is formed.

[0058]

As a modification, the whole sheet 82 may be imprinted to a substrate 10 side. In that case, the unnecessary part (part except two or more parts 82) of a sheet 82 is removed behind.

[0059]

In this way, as shown in drawing 12 (B), two or more spacers 50 can be collectively formed on two or more semiconductor chips 20 by separating a tape 80 from a substrate 10. Then, as shown in drawing 12 (C), the electrode of a semiconductor chip 20 and the circuit pattern 14 of a substrate 10 are electrically connected with a wire 30.

[0060]

The above process may be repeated two or more times, and the aggregate of the semiconductor device of two or more stack structures may be formed. Or you may combine with the gestalt of above-mentioned operation.

[0061]

(Gestalt of the 4th operation)

Drawing 13 is drawing showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 4th of this invention. With the gestalt of this operation, two or more spacers 50 are collectively formed in the semi-conductor wafer 90. With the gestalt of this operation, any gestalt of above-mentioned print processes, the approach by the photolithography technique, or the approach by imprint can be applied, and the content explained with the gestalt of above-mentioned operation is omitted.

[0062]

As shown in drawing 13, the semi-conductor wafer 90 is prepared. The integrated circuit which becomes the semi-conductor wafer 90 from the transistor which is not illustrated, a memory device, etc.

is formed. The semi-conductor wafer 90 has two or more semiconductor devices 92, and becomes two or more semiconductor chips by being cut with the profile of each semiconductor device 92. The semi-conductor wafer 90 has two or more electrodes (not shown), avoids the center section of the electrode and has the wrap passivation film (not shown) for an edge. With the gestalt of this operation, batch processing of the formation process of a spacer 50 is carried out in the state of a wafer.

[0063]

A spacer 50 is formed with the application of the approach explained with the gestalt of above-mentioned operation. The semi-conductor wafer with a spacer concerning the gestalt of this operation contains the semi-conductor wafer 90 which has two or more semiconductor devices, and the spacer 50 formed on each semiconductor device 92. A spacer 50 may be formed inside the field of a semiconductor device 92.

[0064]

The semi-conductor wafer 90 is used as two or more semiconductor chips after a spacer formation process at the piece of an individual. The tape 94 for conveyance is stuck on the rear face of the semi-conductor wafer 90, and the cutting fixture (for example, blade) 96 cuts the semi-conductor wafer 90.

[0065]

In this way, two or more semiconductor chips with a spacer can be formed. The semiconductor device of stack structure may be formed by accumulating two or more semiconductor chips with a spacer. Since the semiconductor device of stack structure is formed by dealing with a semiconductor chip with a spacer according to this, the time and effort which deals with a spacer or a semiconductor chip independently at a laminating process is omissible.

[0066]

The circuit board which applied the gestalt of above-mentioned operation is shown in drawing 14 . The semiconductor device 5 is mounted in the circuit board 1000. It is common to the circuit board 1000 to use organic system substrates, such as for example, a glass epoxy group plate. It is formed in the circuit board 1000 so that the circuit pattern 1100 which consists of copper etc. may serve as a desired circuit, and the circuit pattern 1100 and the external terminal 66 of a semiconductor device are joined.

[0067]

As electronic equipment which has a semiconductor device concerning the gestalt of operation of this invention, the note type personal computer 2000 is shown in drawing 15 , and the cellular phone 3000 is shown in drawing 16 .

[0068]

In addition, this invention is not limited to the gestalt of operation mentioned above, and various deformation is possible for it. For example, this invention includes the same configuration (for example, configuration with same function, approach and configuration with the same result or object, and effectiveness) substantially with the configuration explained with the gestalt of operation. Moreover, this invention includes the configuration which replaced the part which is not essential as for a configuration of that the gestalt of operation explained. Moreover, this invention includes the configuration which can attain the configuration or the same object which does so the same operation effectiveness as the configuration explained with the gestalt of operation. Moreover, this invention includes the configuration which added the well-known technique to the configuration explained with the gestalt of operation.

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is drawing showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 2] Drawing 2 is drawing showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 3] Drawing 3 (A) – drawing 3 (C) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 4] Drawing 4 is drawing showing the semiconductor device concerning the gestalt of operation

of the 1st of this invention, and its manufacture approach.

[Drawing 5] Drawing 5 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention, and its manufacture approach.

[Drawing 6] Drawing 6 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention, and its manufacture approach.

[Drawing 7] Drawing 7 (A) and drawing 7 (B) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 8] Drawing 8 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention, and its manufacture approach.

[Drawing 9] Drawing 9 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention, and its manufacture approach.

[Drawing 10] Drawing 10 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 11] Drawing 11 (A) – drawing 11 (C) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 2nd of this invention.

[Drawing 12] Drawing 12 (A) – drawing 12 (C) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 3rd of this invention.

[Drawing 13] Drawing 13 is drawing showing the semi-conductor wafer with a spacer concerning the gestalt of operation of the 4th of this invention, and its manufacture approach.

[Drawing 14] Drawing 14 is drawing showing the circuit board concerning the gestalt of operation of this invention.

[Drawing 15] Drawing 15 is drawing showing the electronic equipment concerning the gestalt of operation of this invention.

[Drawing 16] Drawing 16 is drawing showing the electronic equipment concerning the gestalt of operation of this invention.

[Description of Notations]

10 Substrate and 11 Substrate and 14 Circuit Pattern and 20 Semiconductor Chip, 22 A semiconductor chip and 24 A semiconductor chip and 26 Semiconductor chip, 30 A wire and 32 A wire and 34 A wire and 36 Wire, 40 A mold and 42 A hole and 44 The dam section and 46 A field and 49 Paste, 50 A spacer and 52 A spacer and 54 A spacer and 62 The closure section and 64 The closure section and 72 An ingredient and 80 A tape and 82 A sheet and 84 A part and 90 A semi-conductor wafer and 92 Semiconductor device

---

[Translation done.]

#### **\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### **DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is drawing showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 2] Drawing 2 is drawing showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 3] Drawing 3 (A) – drawing 3 (C) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 4] Drawing 4 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention, and its manufacture approach.

[Drawing 5] Drawing 5 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention, and its manufacture approach.

[Drawing 6] Drawing 6 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention, and its manufacture approach.

[Drawing 7] Drawing 7 (A) and drawing 7 (B) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 8] Drawing 8 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention, and its manufacture approach.

[Drawing 9] Drawing 9 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention, and its manufacture approach.

[Drawing 10] Drawing 10 is drawing showing the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 11] Drawing 11 (A) – drawing 11 (C) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 2nd of this invention.

[Drawing 12] Drawing 12 (A) – drawing 12 (C) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 3rd of this invention.

[Drawing 13] Drawing 13 is drawing showing the semi-conductor wafer with a spacer concerning the gestalt of operation of the 4th of this invention, and its manufacture approach.

[Drawing 14] Drawing 14 is drawing showing the circuit board concerning the gestalt of operation of this invention.

[Drawing 15] Drawing 15 is drawing showing the electronic equipment concerning the gestalt of operation of this invention.

[Drawing 16] Drawing 16 is drawing showing the electronic equipment concerning the gestalt of operation of this invention.

[Description of Notations]

10 Substrate and 11 Substrate and 14 Circuit Pattern and 20 Semiconductor Chip, 22 A semiconductor chip and 24 A semiconductor chip and 26 Semiconductor chip, 30 A wire and 32 A wire and 34 A wire and 36 Wire, 40 A mold and 42 A hole and 44 The dam section and 46 A field and 49 Paste, 50 A spacer and 52 A spacer and 54 A spacer and 62 The closure section and 64 The closure section and 72 An ingredient and 80 A tape and 82 A sheet and 84 A part and 90 A semi-conductor wafer and 92 Semiconductor device

---

[Translation done.]



(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-6670

(P2004-6670A)

(43) 公開日 平成16年1月8日 (2004.1.8)

(51) Int. Cl.<sup>7</sup>

H 0 1 L 25/065

H 0 1 L 25/07

H 0 1 L 25/18

F I

H 0 1 L 25/08

Z

テーマコード (参考)

審査請求 未請求 請求項の数 71 O L (全 23 頁)

(21) 出願番号 特願2003-45875 (P2003-45875)  
 (22) 出願日 平成15年2月24日 (2003.2.24)  
 (31) 優先権主張番号 特願2002-48320 (P2002-48320)  
 (32) 優先日 平成14年2月25日 (2002.2.25)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100090479  
 弁理士 井上 一  
 (74) 代理人 100090387  
 弁理士 布施 行夫  
 (74) 代理人 100090398  
 弁理士 大淵 美千栄  
 (72) 発明者 富松 浩之  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

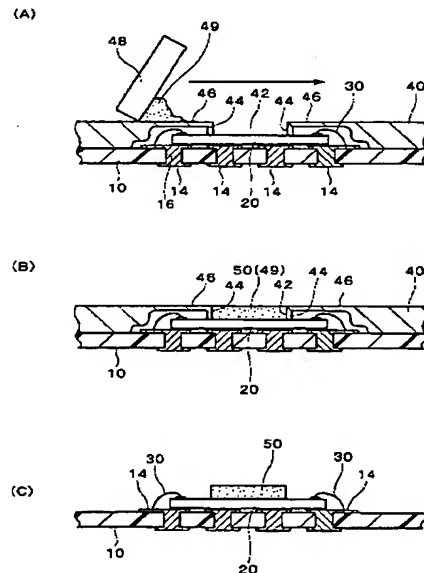
(54) 【発明の名称】 スペーサ付き半導体ウェハ及びその製造方法、半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】 (修正有)

【課題】 半導体チップを積層してボンディングすることにより集積度の向上を図る方法において、チップ間の分離を行う為のスペーサを生産性良くチップ上に形成する。

【解決手段】 複数の半導体素子を有する半導体ウェハ、若しくは基板10上に平面的に並べられた複数の半導体チップ20上に複数の穴を有する型40をセットし、穴内にスペーサの材料であるペースト49を充填した後型をはずすことで、それぞれのチップ20上にスペーサ50を一括して形成する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

複数の半導体素子を有する半導体ウェハの、それぞれの前記半導体素子にスペーサを形成することを含み、  
複数の前記スペーサを形成する工程を、前記半導体ウェハ上で一括して行うスペーサ付き半導体ウェハの製造方法。

## 【請求項 2】

請求項 1 記載のスペーサ付き半導体ウェハの製造方法において、  
前記スペーサを、前記半導体素子の面の内側に形成するスペーサ付き半導体ウェハの製造方法。

10

## 【請求項 3】

請求項 1 又は請求項 2 記載のスペーサ付き半導体ウェハの製造方法において、  
前記スペーサを、内部に複数のボールを有するように形成するスペーサ付き半導体ウェハの製造方法。

## 【請求項 4】

請求項 3 記載のスペーサ付き半導体ウェハの製造方法において、  
前記スペーサを、前記ボールの直径とほぼ等しい高さに形成するスペーサ付き半導体ウェハの製造方法。

## 【請求項 5】

請求項 3 又は請求項 4 記載のスペーサ付き半導体ウェハの製造方法において、  
前記ボールは弾性を有するスペーサ付き半導体ウェハの製造方法。

20

## 【請求項 6】

請求項 1 から請求項 5 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、  
前記スペーサの形成工程で、  
複数の穴を有する型を前記ウェハにセットし、  
それぞれの前記穴内に前記スペーサの材料であるペーストを設け、  
前記型を前記ウェハから離すことで、複数の前記スペーサを形成するスペーサ付き半導体ウェハの製造方法。

## 【請求項 7】

請求項 6 記載のスペーサ付き半導体ウェハの製造方法において、  
前記型は、前記ペーストの流れを止めるダム部を有し、  
前記ペーストを、前記穴内の前記ダム部で囲まれた空間に設けるスペーサ付き半導体ウェハの製造方法。

30

## 【請求項 8】

請求項 6 又は請求項 7 記載のスペーサ付き半導体ウェハの製造方法において、  
前記ペーストを、前記型の面と面一になるように設けるスペーサ付き半導体ウェハの製造方法。

## 【請求項 9】

請求項 6 から請求項 8 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、  
前記ペーストは、樹脂であるスペーサ付き半導体ウェハの製造方法。

40

## 【請求項 10】

請求項 6 から請求項 10 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、  
前記ペーストのチキン比は、モールド封止材料のチキン比よりも大きいスペーサ付き半導体ウェハの製造方法。

## 【請求項 11】

請求項 3 から請求項 5 のいずれかを引用する請求項 6 から請求項 10 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、

50

前記ペーストは、複数の前記ボールを含有するスペーサ付き半導体ウェハの製造方法。

【請求項 12】

請求項 1 から請求項 5 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、

前記スペーサの形成工程で、

前記ウェハ上に、感光性を有する前記スペーサの材料を設け、

前記材料を露光及び現像することで、複数の前記スペーサを形成するスペーサ付き半導体ウェハの製造方法。

【請求項 13】

請求項 12 記載のスペーサ付き半導体ウェハの製造方法において、

前記材料は、ポジ型又はネガ型のいずれかの性質を有するスペーサ付き半導体ウェハの製造方法。

【請求項 14】

請求項 12 又は請求項 13 記載のスペーサ付き半導体ウェハの製造方法において、

前記材料を、スピコート法によって設けるスペーサ付き半導体ウェハの製造方法。

【請求項 15】

請求項 3 から請求項 5 のいずれかを引用する請求項 12 から請求項 14 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、

前記材料は、複数の前記ボールを含有するスペーサ付き半導体ウェハの製造方法。

【請求項 16】

請求項 1 から請求項 5 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、

前記スペーサの形成工程で、

前記スペーサの材料であるシートをテープに貼り付け、

前記シートの複数の部分を、前記テープから前記半導体ウェハ上に転写させることで、複数の前記スペーサを形成するスペーサ付き半導体ウェハの製造方法。

【請求項 17】

請求項 16 記載のスペーサ付き半導体ウェハの製造方法において、

前記転写工程前に、

前記テープと前記複数の部分との接着力を、前記テープと前記シートの他の部分との接着力よりも小さくするスペーサ付き半導体ウェハの製造方法。

【請求項 18】

請求項 16 又は請求項 17 記載のスペーサ付き半導体ウェハの製造方法において、

前記テープは、紫外線硬化性を有するスペーサ付き半導体ウェハの製造方法。

【請求項 19】

請求項 16 から請求項 18 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、

前記転写工程前に、

前記テープのうち前記シートの前記複数の部分が接着される領域に、紫外線を照射するスペーサ付き半導体ウェハの製造方法。

【請求項 20】

請求項 16 から請求項 19 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、

前記転写工程前に、

前記テープ上で、前記シートを前記複数の部分の輪郭を通るように切断するスペーサ付き半導体ウェハの製造方法。

【請求項 21】

請求項 3 から請求項 5 のいずれかを引用する請求項 16 から請求項 19 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、

前記シートは、複数の前記ボールを含有するスペーサ付き半導体ウェハの製造方法。

10

20

30

40

50

## 【請求項 2 2】

請求項 1 から請求項 2 1 のいずれかに記載のスペーサ付き半導体ウェハの製造方法において、  
前記スペーサを形成する工程は、前記スペーサを押圧してレベリングすることを含むスペーサ付き半導体ウェハの製造方法。

## 【請求項 2 3】

基板上に平面的に並べられた複数の半導体チップの、それぞれの前記半導体チップにスペーサを設けることを含み、  
複数の前記スペーサを形成する工程を、前記基板上で一括して行う半導体装置の製造方法。

10

## 【請求項 2 4】

請求項 2 3 記載の半導体装置の製造方法において、  
前記スペーサを、前記半導体チップの面の内側に形成する半導体装置の製造方法。

## 【請求項 2 5】

請求項 2 3 又は請求項 2 4 記載の半導体装置の製造方法において、  
前記スペーサを、内部に複数のボールを有するように形成する半導体装置の製造方法。

## 【請求項 2 6】

請求項 2 5 記載の半導体装置の製造方法において、  
前記スペーサを、前記ボールの直径とほぼ等しい高さに形成する半導体装置の製造方法。

20

## 【請求項 2 7】

請求項 2 5 又は請求項 2 6 記載の半導体装置の製造方法において、  
前記ボールは弾性を有する半導体装置の製造方法。

## 【請求項 2 8】

請求項 2 3 から請求項 2 7 のいずれかに記載の半導体装置の製造方法において、  
前記スペーサの形成工程で、  
複数の穴を有する型を前記基板にセットし、  
それぞれの前記穴内に前記スペーサの材料であるペーストを設け、  
前記型を前記ウェハから離すことで、複数の前記スペーサを形成する半導体装置の製造方法。

## 【請求項 2 9】

請求項 2 3 から請求項 2 8 のいずれかに記載の半導体装置の製造方法において、  
前記型は、前記ペーストの流れを止めるダム部を有し、  
前記ペーストを、前記穴内の前記ダム部で囲まれた空間に設ける半導体装置の製造方法。

30

## 【請求項 3 0】

請求項 2 3 から請求項 2 9 のいずれかに記載の半導体装置の製造方法において、  
前記ペーストを、前記型の面と面一になるように設ける半導体装置の製造方法。

## 【請求項 3 1】

請求項 2 3 から請求項 3 0 のいずれかに記載の半導体装置の製造方法において、  
前記ペーストは、樹脂である半導体装置の製造方法。

## 【請求項 3 2】

請求項 2 3 から請求項 3 1 のいずれかに記載の半導体装置の製造方法において、  
前記ペーストのチキソ比は、モールド封止材料のチキソ比よりも大きい半導体装置の製造方法。

40

## 【請求項 3 3】

請求項 2 5 から請求項 2 7 のいずれかを引用する請求項 2 8 から請求項 3 2 のいずれかに記載の半導体装置の製造方法において、  
前記ペーストは、複数の前記ボールを含有する半導体装置の製造方法。

## 【請求項 3 4】

請求項 2 3 から請求項 2 7 のいずれかに記載の半導体装置の製造方法において、  
前記スペーサの形成工程で、

50

少なくとも複数の前記半導体チップ上に、感光性を有する前記スペーサの材料を設け、前記材料を露光及び現像することで、複数の前記スペーサを形成する半導体装置の製造方法。

【請求項 3 5】

請求項 3 4 記載の半導体装置の製造方法において、  
前記材料は、ポジ型又はネガ型のいずれかの性質を有する半導体装置の製造方法。

【請求項 3 6】

請求項 3 4 又は請求項 3 5 記載の半導体装置の製造方法において、  
前記材料を、スピンコート法によって設ける半導体装置の製造方法。

【請求項 3 7】

請求項 2 5 から請求項 2 7 のいずれかを引用する請求項 3 4 から請求項 3 6 のいずれかに記載の半導体装置の製造方法において、  
前記材料は、複数の前記ボールを含有する半導体装置の製造方法。

【請求項 3 8】

請求項 2 3 から請求項 2 7 のいずれかに記載の半導体装置の製造方法において、  
前記スペーサの形成工程で、  
前記スペーサの材料であるシートをテープに貼り付け、  
前記シートの複数の部分を、前記テープから前記半導体チップ上に転写させることで、複数の前記スペーサを形成する半導体装置の製造方法。

【請求項 3 9】

請求項 3 6 記載の半導体装置の製造方法において、  
前記転写工程前に、  
前記テープと前記複数の部分との接着力を、前記テープと前記シートの他の部分との接着力よりも小さくする半導体装置の製造方法。

【請求項 4 0】

請求項 3 8 又は請求項 3 9 に記載の半導体装置の製造方法において、  
前記テープは、紫外線硬化性を有する半導体装置の製造方法。

【請求項 4 1】

請求項 4 0 記載の半導体装置の製造方法において、  
前記転写工程前に、  
前記テープのうち前記シートの前記複数の部分が接着される領域に、紫外線を照射する半導体装置の製造方法。

【請求項 4 2】

請求項 3 8 から請求項 4 1 のいずれかに記載の半導体装置の製造方法において、  
前記転写工程前に、  
前記テープ上で、前記シートを前記複数の部分の輪郭を通して切断する半導体装置の製造方法。

【請求項 4 3】

請求項 2 5 から請求項 2 7 のいずれかを引用する請求項 3 8 から請求項 4 2 のいずれかに記載の半導体装置の製造方法において、  
前記シートは、複数の前記ボールを含有する半導体装置の製造方法。

【請求項 4 4】

請求項 2 3 から請求項 4 3 のいずれかに記載の半導体装置の製造方法において、  
前記スペーサを形成する工程は、前記スペーサを押圧してレベリングすることを含む半導体装置の製造方法。

【請求項 4 5】

請求項 2 3 から請求項 4 4 のいずれかに記載の半導体装置の製造方法において、  
前記半導体チップの電極と、前記基板の配線パターンと、をワイヤボンディングすることを含む半導体装置の製造方法。

【請求項 4 6】

10

20

30

40

50

請求項 4 5 記載の半導体装置の製造方法において、  
前記ワイヤボンディング工程前に、前記スペーサを形成する工程を行う半導体装置の製造方法。

【請求項 4 7】

請求項 4 5 記載の半導体装置の製造方法において、  
前記ワイヤボンディング工程後に、前記スペーサを形成する工程を行う半導体装置の製造方法。

【請求項 4 8】

請求項 2 3 から請求項 4 7 のいずれかに記載の半導体装置の製造方法において、  
前記スペーサの形成工程を、前記基板上に積み重ねられる 2 段目以降の複数の半導体チップごとに繰り返すことで、複数のスタック型の半導体装置の集合体を形成することをさらに含む半導体装置の製造方法。

10

【請求項 4 9】

請求項 4 8 記載の半導体装置の製造方法において、  
各前記複数の半導体チップの前記基板を向く面には接着剤が形成されてなり、  
前記スペーサと前記半導体チップのそれぞれとを、前記接着剤によって固着する半導体装置の製造方法。

【請求項 5 0】

請求項 4 9 記載の半導体装置の製造方法において、  
前記接着剤は絶縁性接着剤である半導体装置の製造方法。

20

【請求項 5 1】

請求項 4 9 又は請求項 5 0 記載の半導体装置の製造方法において、  
前記接着剤は、前記半導体チップの前記基板を向く面の全面に形成されてなる半導体装置の製造方法。

【請求項 5 2】

請求項 2 3 から請求項 5 1 のいずれかに記載の半導体装置の製造方法において、  
前記基板上に、積み重ねられた複数の前記半導体チップを封止する封止部を形成することをさらに含む半導体装置の製造方法。

【請求項 5 3】

請求項 5 2 記載の半導体装置の製造方法において、  
前記封止工程後に、前記封止部及び前記基板を切断し、複数のスタック型の半導体装置に個片にすることをさらに含む半導体装置の製造方法。

30

【請求項 5 4】

複数の半導体素子を有する半導体ウェハと、  
それぞれの前記半導体素子上に設けられたスペーサと、  
を含むスペーサ付き半導体ウェハ。

【請求項 5 5】

請求項 5 4 記載のスペーサ付き半導体ウェハにおいて、  
前記スペーサは、前記半導体素子の面の内側に形成されてなるスペーサ付き半導体ウェハ。

40

【請求項 5 6】

請求項 5 4 又は請求項 5 5 記載のスペーサ付き半導体ウェハにおいて、  
前記スペーサは、内部に複数のボールを有するスペーサ付き半導体ウェハ。

【請求項 5 7】

請求項 5 6 記載のスペーサ付き半導体ウェハにおいて、  
前記スペーサの高さは、前記ボールの直径とほぼ等しいスペーサ付き半導体ウェハ。

【請求項 5 8】

請求項 5 6 又は請求項 5 7 記載のスペーサ付き半導体ウェハにおいて、  
前記ボールは弾性を有するスペーサ付き半導体ウェハ。

【請求項 5 9】

50

配線パターンを有する基板と、  
前記基板上に平面的に並べられた複数の半導体チップと、  
それぞれの前記半導体チップ上に設けられたスペーサと、  
を含む半導体装置。

【請求項 60】

配線パターンを有する基板と、  
前記基板上に平面的に並べられ、かつ、立体的に積み重ねられた複数の半導体チップと、  
前記立体的に積み重ねられた半導体チップ同士の間に設けられたスペーサと、  
を含む半導体装置。

【請求項 61】

請求項 59 又は請求項 60 に記載の半導体装置において、  
前記スペーサは、前記半導体チップの面の内側に形成されてなる半導体装置。

【請求項 62】

請求項 59 から請求項 61 のいずれかに記載の半導体装置において、  
各前記半導体チップの前記基板を向く面には、絶縁層が形成されてなる半導体装置。

【請求項 63】

請求項 62 記載の半導体装置において、  
前記絶縁層は、各前記半導体チップの前記基板を向く面の全面に形成されてなる半導体装置。

【請求項 64】

請求項 59 から請求項 63 のいずれかに記載の半導体装置において、  
前記スペーサは、内部に複数のボールを有する半導体装置。

【請求項 65】

請求項 64 記載の半導体装置において、  
前記スペーサの高さは、前記ボールの直径とほぼ等しい半導体装置。

【請求項 66】

請求項 64 又は請求項 65 記載の半導体装置において、  
前記ボールは弾性を有する半導体装置。

【請求項 67】

請求項 59 から請求項 66 のいずれかに記載の半導体装置において、  
前記半導体チップは電極を有し、  
前記電極と前記基板の前記配線パターンとがワイヤボンディングされてなる半導体装置。

【請求項 68】

請求項 59 から請求項 67 のいずれかに記載の半導体装置において、  
前記基板上に、複数の前記半導体チップを封止する封止部が形成されてなる半導体装置。

【請求項 69】

請求項 68 記載の半導体装置において、  
前記封止部及び前記基板が切断されることで、個片化されてなるスタック型として構成された半導体装置。

【請求項 70】

請求項 59 から請求項 69 のいずれかに記載の半導体装置が実装された回路基板。

【請求項 71】

請求項 59 から請求項 69 のいずれかに記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スペーサ付き半導体ウエハ及びその製造方法、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】

10

20

30

40

50

近年、複数の半導体チップを積み重ねた半導体装置が開発されている。その中で、半導体チップの電極にワイヤをボンディングして電気的な接続を図る形態がある。同一又はそれよりも大きい外形を有する半導体チップを積み重ねるには、半導体チップ同士の間にスペーサを設ける必要がある。

【0003】

従来、スペーサの形成方法として、半導体チップ上に樹脂をポッティングする方法があるが、ポッティング量により樹脂の高さが決まるので、スペーサの高さ及び幅を制御することが難しかった。また、シリコン部材やモールド樹脂を所定形状に形成した後、半導体チップ上に載せる方法があるが、例えば各スペーサを半導体チップごとに位置合わせするなど生産性に劣っていた。

【0004】

本発明は、上述した課題を解決するためのものであり、その目的は、生産性に優れるスペーサの形成方法を実現することにある。

【0005】

【課題を解決するための手段】

(1) 本発明に係るスペーサ付き半導体ウェハの製造方法は、複数の半導体素子を有する半導体ウェハの、それぞれの前記半導体素子にスペーサを形成することを含み、複数の前記スペーサを形成する工程を、前記半導体ウェハ上で一括して行う。本発明によれば、複数のスペーサを半導体ウェハ上で一括して形成するので、生産性が極めて高い。すなわち、スペーサを個々に半導体素子上に取り付ける手間を省略でき、迅速かつ簡単にスペーサを形成することができる。

(2) このスペーサ付き半導体ウェハにおいて、前記スペーサを、前記半導体素子の面の内側に形成してもよい。これによれば、スペーサの表面積を小さくすることができる。そのため、例えば、半導体装置の封止に使用される材料と物性値が異なる場合であっても、半導体装置の内部応力を減少させることができる。

(3) このスペーサ付き半導体ウェハにおいて、前記スペーサを、内部に複数のボールを有するように形成してもよい。これによれば、容易に設計通りの高さのスペーサを形成することができるため、簡単にスペーサ付き半導体ウェハを製造することができる。

(4) このスペーサ付き半導体ウェハにおいて、前記スペーサを、前記ボールの直径とほぼ等しい高さに形成してもよい。

(5) このスペーサ付き半導体ウェハにおいて、前記ボールは弾性を有してもよい。これによれば、ボールによって半導体ウェハが傷つくことを防止することができる。

(6) このスペーサ付き半導体ウェハにおいて、前記スペーサの形成工程で、複数の穴を有する型を前記ウェハにセットし、それぞれの前記穴内に前記スペーサの材料であるペーストを設け、前記型を前記ウェハから離すことで、複数の前記スペーサを形成してもよい。これによれば、ペーストを型に形成された複数の穴に設けることで、複数のスペーサを一括して形成することができる。

(7) このスペーサ付き半導体ウェハにおいて、前記型は、前記ペーストの流れを止めるダム部を有し、前記ペーストを、前記穴内の前記ダム部で囲まれた空間に設けてもよい。これによって、流動しやすい材料を使用しても、所定の幅のスペーサを簡単に形成することができる。

(8) このスペーサ付き半導体ウェハにおいて、前記ペーストを、前記型の面と面一になるように設けてもよい。これによれば、ペーストを型の面と面一になるように設けることで、所定の高さのスペーサを簡単に形成することができる。

10

20

30

40

50



(9) このスペーサ付き半導体ウェハにおいて、  
前記ペーストは、樹脂であってもよい。

(10) このスペーサ付き半導体ウェハにおいて、  
前記ペーストのチキン比は、モールド封止材料のチキン比よりも大きくてもよい。

(11) このスペーサ付き半導体ウェハにおいて、  
前記ペーストは、複数の前記ボールを含有してもよい。これによると、内部にボールを含有するスペーサを容易に形成することができる。

(12) このスペーサ付き半導体ウェハにおいて、  
前記スペーサの形成工程で、  
前記ウェハ上に、感光性を有する前記スペーサの材料を設け、  
前記材料を露光及び現像することで、複数の前記スペーサを形成してもよい。これによれば、材料を露光及び現像することで、複数のスペーサを一括して形成することができる。

10

(13) このスペーサ付き半導体ウェハにおいて、  
前記材料は、ポジ型又はネガ型のいずれかの性質を有してもよい。

(14) このスペーサ付き半導体ウェハにおいて、  
前記材料を、スピンコート法によって設けてもよい。これによって、材料を一定の厚みにすることができる。したがって、所定の高さのスペーサを簡単に形成することができる。

(15) このスペーサ付き半導体ウェハにおいて、  
前記材料は、複数の前記ボールを含有してもよい。これによると、内部にボールを含有するスペーサを容易に形成することができる。

20

(16) このスペーサ付き半導体ウェハにおいて、  
前記スペーサの形成工程で、  
前記スペーサの材料であるシートをテープに貼り付け、  
前記シートの複数の部分を、前記テープから前記半導体ウェハ上に転写させることで、複数の前記スペーサを形成してもよい。これによれば、テープに貼り付けられたシートを転写することで、複数のスペーサを一括して形成することができる。

(17) このスペーサ付き半導体ウェハにおいて、  
前記転写工程前に、  
前記テープと前記複数の部分との接着力を、前記テープと前記シートの他の部分との接着力よりも小さくしてもよい。これによって、シートを部分的に半導体ウェハ上に転写させることができる。

30

(18) このスペーサ付き半導体ウェハにおいて、  
前記テープは、紫外線硬化性を有してもよい。

(19) このスペーサ付き半導体ウェハにおいて、  
前記転写工程前に、  
前記テープのうち前記シートの前記複数の部分が接着される領域に、紫外線を照射してもよい。これによって、シートを簡単に部分的に剥がすことができる。(20) このスペーサ付き半導体ウェハにおいて、

前記転写工程前に、  
前記テープ上で、前記シートを前記複数の部分の輪郭を通るように切断してもよい。これによって、シートを簡単に部分的に剥がすことができる。

40

(21) このスペーサ付き半導体ウェハの製造方法において、  
前記シートは、複数の前記ボールを含有してもよい。これによると、内部にボールを含有するスペーサを容易に形成することができる。

(22) このスペーサ付き半導体ウェハの製造方法において、  
前記スペーサを形成する工程は、前記スペーサを押圧してレベリングすることを含んでもよい。

(23) 本発明に係る半導体装置の製造方法は、基板上に平面的に並べられた複数の半導体チップの、それぞれの前記半導体チップにスペーサを設けることを含み、  
複数の前記スペーサを形成する工程を、前記基板上で一括して行う。本発明によれば、複

50

数のスペーサの形成工程を、基板上で一括して行うので、生産性が極めて高い。すなわち、スペーサを個々に半導体チップに取り付ける手間を省略でき、迅速かつ簡単にスペーサを形成することができる。

(24) この半導体装置の製造方法において、  
前記スペーサを、前記半導体チップの面の内側に形成してもよい。

これによれば、スペーサの表面積を小さくすることができる。そのため、例えば、半導体装置の封止に使用される材料と物性値が異なる場合であっても、半導体装置の内部応力を減少させることができる。

(25) この半導体装置の製造方法において、  
前記スペーサを、内部に複数のボールを有するように形成してもよい。これによれば、容易に設計通りの高さのスペーサを形成することができるため、簡単に半導体装置を製造することができる。

10

(26) この半導体装置の製造方法において、  
前記スペーサを、前記ボールの直径とほぼ等しい高さに形成してもよい。

(27) この半導体装置の製造方法において、  
前記ボールは弾性を有してもよい。これによれば、ボールによって半導体チップの表面が傷つくことを防止することができる。

(28) この半導体装置の製造方法において、  
前記スペーサの形成工程で、  
複数の穴を有する型を前記基板にセットし、  
それぞれの前記穴内に前記スペーサの材料であるペーストを設け、  
前記型を前記ウェハから離すことで、複数の前記スペーサを形成してもよい。これによれば、ペーストを型に形成された複数の穴に設けることで、複数のスペーサを一括して形成することができる。

20

(29) この半導体装置の製造方法において、  
前記型は、前記ペーストの流れを止めるダム部を有し、  
前記ペーストを、前記穴内の前記ダム部で囲まれた空間に設けてもよい。これによって、流動しやすい材料を使用しても、所定の幅のスペーサを簡単に形成することができる。

(30) この半導体装置の製造方法において、  
前記ペーストを、前記型の面と面一になるように設けてもよい。これによれば、ペーストを型の面と面一になるように設けることで、所定の高さのスペーサを簡単に形成することができる。

30

(31) この半導体装置の製造方法において、  
前記ペーストは、樹脂であってもよい。

(32) この半導体装置の製造方法において、  
前記ペーストのチキソ比は、モールド封止材料のチキソ比よりも大きくてもよい。

(33) この半導体装置の製造方法において、  
前記ペーストは、複数の前記ボールを含有してもよい。これによれば、内部にボールを含有するスペーサを容易に形成することができる。

(34) この半導体装置の製造方法において、  
前記スペーサの形成工程で、  
少なくとも複数の前記半導体チップ上に、感光性を有する前記スペーサの材料を設け、  
前記材料を露光及び現像することで、複数の前記スペーサを形成してもよい。これによれば、材料を露光及び現像することで、複数のスペーサを一括して形成することができる。

40

(35) この半導体装置の製造方法において、  
前記材料は、ポジ型又はネガ型のいずれかの性質を有してもよい。

(36) この半導体装置の製造方法において、  
前記材料を、スピンコート法によって設けてもよい。これによって、材料を一定の厚みにすることができる。したがって、所定の高さのスペーサを簡単に形成することができる。

(37) この半導体装置の製造方法において、

50

前記材料は、複数の前記ボールを含有してもよい。これによれば、内部にボールを含有するスペーサを容易に形成することができる。

(38) この半導体装置の製造方法において、

前記スペーサの形成工程で、

前記スペーサの材料であるシートをテープに貼り付け、

前記シートの複数の部分を、前記テープから前記半導体チップ上に転写させることで、複数の前記スペーサを形成してもよい。これによれば、テープに貼り付けられたシートを転写することで、複数のスペーサを一括して形成することができる。

(39) この半導体装置の製造方法において、

前記転写工程前に、

前記テープと前記複数の部分との接着力を、前記テープと前記シートの他の部分との接着力よりも小さくしてもよい。これによって、シートを部分的に半導体ウェハ上に転写させることができる。

(40) この半導体装置の製造方法において、

前記テープは、紫外線硬化性を有してもよい。

(41) この半導体装置の製造方法において、

前記転写工程前に、

前記テープのうち前記シートの前記複数の部分が接着される領域に、紫外線を照射してもよい。これによって、シートを簡単に部分的に剥がすことができる。(42) この半導体装置の製造方法において、

前記転写工程前に、

前記テープ上で、前記シートを前記複数の部分の輪郭を通るように切断してもよい。これによって、シートを簡単に部分的に剥がすことができる。

(43) この半導体装置の製造方法において、

前記シートは、複数の前記ボールを含有してもよい。これによれば、内部にボールを含有するスペーサを容易に形成することができる。

(44) この半導体装置の製造方法において、

前記スペーサを形成する工程は、前記スペーサを押圧してレベリングすることを含んでもよい。

(45) この半導体装置の製造方法において、

前記半導体チップの電極と、前記基板の配線パターンと、をワイヤボンディングすることをさらに含んでもよい。

(46) この半導体装置の製造方法において、

前記ワイヤボンディング工程前に、前記スペーサを形成する工程を行ってもよい。

(47) この半導体装置の製造方法において、

前記ワイヤボンディング工程後に、前記スペーサを形成する工程を行ってもよい。

(48) この半導体装置の製造方法において、

前記スペーサの形成工程を、前記基板上に積み重ねられる2段目以降の複数の半導体チップごとに繰り返すことで、複数のスタック型の半導体装置の集合体を形成することをさらに含んでもよい。これによれば、スペーサの形成工程を、2段目以降の複数の半導体チップごとに基板上で一括して行う。これによって、スペーサを形成した後の半導体チップを、基板上に移し変える手間が省略され、最小限の工程数で半導体装置を製造することができる。

(49) この半導体装置の製造方法において、

各前記複数の半導体チップの前記基板を向く面には接着剤が形成されてなり、

前記スペーサと前記半導体チップのそれぞれとを、前記接着剤によって固着してもよい。

(50) この半導体装置の製造方法において、

前記接着剤は絶縁性接着剤であってもよい。

(51) この半導体装置の製造方法において、

前記接着剤は、前記半導体チップの前記基板を向く面の全面に形成されていてもよい。

10

20

30

40

50

(52) この半導体装置の製造方法において、前記基板上に、積み重ねられた複数の前記半導体チップを封止する封止部を形成することをさらに含んでもよい。

(53) この半導体装置の製造方法において、前記封止工程後に、前記封止部及び前記基板を切断し、複数のスタック型の半導体装置に個片にすることをさらに含んでもよい。

(54) 本発明に係る半導体ウェハは、複数の半導体素子を有する半導体ウェハと、それぞれの前記半導体素子上に設けられたスペーサと、を含む。

(55) この半導体ウェハにおいて、前記スペーサは、前記半導体素子の面の内側に形成されてもよい。

(56) この半導体ウェハにおいて、前記スペーサは、内部に複数のボールを有してもよい。

(57) この半導体ウェハにおいて、前記スペーサの高さは、前記ボールの直径とほぼ等しくてもよい。

(58) この半導体ウェハにおいて、前記ボールは弾性を有してもよい。

(59) 本発明に係る半導体装置は、配線パターンを有する基板と、前記基板上に平面的に並べられた複数の半導体チップと、それぞれの前記半導体チップ上に設けられたスペーサと、を含む。

(60) 本発明に係る半導体装置は、配線パターンを有する基板と、前記基板上に平面的に並べられ、かつ、立体的に積み重ねられた複数の半導体チップと、前記立体的に積み重ねられた半導体チップ同士の間設けられたスペーサと、を含む。

(61) この半導体装置において、前記スペーサは、前記半導体チップの面の内側に形成されてもよい。

(62) この半導体装置において、各前記半導体チップの前記基板を向く面には、絶縁層が形成されていてもよい。

(63) この半導体装置において、前記絶縁層は、各前記半導体チップの前記基板を向く面の全面に形成されていてもよい。

(64) この半導体装置において、前記スペーサは、内部に複数のボールを有してもよい。

(65) この半導体装置において、前記スペーサの高さは、前記ボールの直径とほぼ等しくてもよい。

(66) この半導体装置において、前記ボールは弾性を有してもよい。

(67) この半導体装置において、前記半導体チップは電極を有し、前記電極と前記基板の前記配線パターンとがワイヤボンディングされてもよい。

(68) この半導体装置において、前記基板上に、複数の前記半導体チップを封止する封止部が形成されてもよい。

(69) この半導体装置において、前記封止部及び前記基板が切断されることで、個片化されてなるスタック型として構成されてもよい。

(70) 本発明に係る回路基板は、上記半導体装置が実装されている。

(71) 本発明に係る電子機器は、上記半導体装置を有する。

【0006】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。ただし、本発明は、以下の

10

20

30

40

50

実施の形態に限定されるものではない。

【0007】

(第1の実施の形態)

図1～図10は、本発明の第1の実施の形態に係る半導体装置の製造方法を示す図である。まず、図1に示すように、基板10に複数の半導体チップ20を搭載する。基板10は、個片になると半導体装置のインターポーザとなる。

【0008】

基板10は、有機系（ポリイミド基板）又は無機系（セラミック基板、ガラス基板）のいずれの材料から形成されてもよく、これらの複合構造（ガラスエポキシ基板）から形成されてもよい。基板10の平面形状は限定されないが、図1に示すように矩形をなすことが多い。基板10は、単層又は多層基板のいずれでもよい。

10

【0009】

基板10には、複数の半導体チップ20を搭載するために、複数の搭載領域12が設けられている。搭載領域12は、基板10のいずれか一方又は両方の面に形成されている。図1に示す例では、複数の搭載領域12は、基板10の面上で複数行複数列（マトリクス状）に配列されている。

【0010】

基板10は、複数の配線からなる配線パターン14（図3（A）参照）を有する。詳しくは、配線パターン14は、各搭載領域12に形成されている。基板10には、一方の面と他方の面とを電氣的に接続するための複数の貫通孔16（図3（A）参照）が形成されていてよい。貫通孔16は、導電材料で埋められてもよいし、内壁面にメッキされてスルーホールとなっていてよい。こうすることで、基板10の両面から電氣的な接続を図ることができる。

20

【0011】

半導体チップ20の形状は限定されないが、図1に示すように直方体（立方体を含む）をなすことが多い。半導体チップ20は、図示しないトランジスタやメモリ素子などからなる集積回路が形成されている。半導体チップ20は、集積回路と電氣的に接続した少なくとも1つ（多くの場合複数）の電極（図示しない）を有する。電極は、半導体チップ20の面の端部に、外形の2辺又は4辺に沿って配置されてもよいし、面の中央部に形成されてもよい。電極は、アルミニウム系又は銅系の金属で形成されてもよい。また、半導体チップ20には、電極の中央部を避けて端部を覆って、パッシベーション膜（図示しない）が形成されている。パッシベーション膜は、例えば、 $\text{SiO}_2$ 、 $\text{SiN}$ 、ポリイミド樹脂などで形成することができる。

30

【0012】

図1に示すように、基板10の複数の搭載領域12のそれぞれに、半導体チップ20を搭載する。複数の半導体チップ20を基板10に平面的に並べる。半導体チップ20を、電極を上に向けてボンディング（フェースアップボンディング）する。半導体チップ20を接着剤で基板10に接着してもよい。このとき、接着剤は絶縁性を有してもよい。

【0013】

図2に示すように、半導体チップ20と配線パターン14とを電氣的に接続する。ワイヤ30によって両者の電氣的な接続を図ってもよい。その場合、ボールバンプ法を適用してもよい。すなわち、ツール（例えばキャピラリ）の外部に引き出したワイヤ30の先端部をボール状に熔融させ、その先端部を電極に熱圧着する（超音波振動も併用すると好ましい）ことで、ワイヤ30を電極に電氣的に接続してもよい。その場合、ワイヤ30を、半導体チップ20の電極にボンディングした後、基板10の配線パターン14にボンディングしてもよい。

40

【0014】

変形例として、ワイヤ30を、基板10の配線パターン14にボンディングした後、半導体チップ10の電極にボンディングしてもよい。このように、ワイヤ30を低い位置から高い位置に引き出すことで、ワイヤ30のループ高さを低くすることができる。半導体チ

50

チップ10の電極にセカンドボンディングを行う場合には、予め電極上にバンプを設けておくことが好ましい。こうすることで、下地となる電極を損傷させずに、ワイヤ30と電極との電氣的な接続信頼性を高めることができる。

#### 【0015】

図3(A)～図3(C)に示すように、それぞれの半導体チップ20にスペーサ50を設ける。本実施の形態では、印刷法を適用することで複数のスペーサ50を一括して設ける。スペーサ50の材料は、液状樹脂（例えばペースト49）であってもよい。スペーサ50は、半導体チップ20の上面（電極の形成面）に設ける。例えば、スペーサ50を、半導体チップ20の面の内側に設けてもよい（図5参照）。例えば、スペーサ50を、半導体チップ20の面において、端部に形成された複数の電極よりも中央部の領域に設けてもよい。これによれば、スペーサ50の表面積を小さくすることができる。そのため、例えば、半導体装置の封止に使用される材料（例えばトランスファモールドに使用される材料）と物性値（例えば熱膨張係数）が異なる場合であっても、両者の接触面積が小さくなるため、半導体装置の内部応力を減少させることができる。あるいは、スペーサ50を、半導体チップ20の面の外側にはみ出すように設けてもよい。ワイヤボンディング工程後にスペーサ50を設ける場合に、ワイヤ30の一部をペースト49で覆っても構わない。なお、スペーサ50は、ワイヤ30の高さよりも厚く（高く）形成する。

10

#### 【0016】

ペースト49は、絶縁材料であることが好ましく、例えば樹脂であってもよい。また、ペースト49のチキソ比は、モールド封止材料（例えばトランスファモールドに使用される材料（例えば樹脂））のチキソ比よりも大きいことが好ましい。こうすることで、印刷抜けをなくして、確実に半導体チップ20上にスペーサ50を形成することができる。

20

#### 【0017】

図3(A)に示すように、型40を、基板10の半導体チップ20が搭載された側の面にセットする。型40は、所定の平面形状にパターンニングされたマスク（又はスクリーン）である。型40によって形成された空間に、スペーサ50の材料であるペースト49を設けることで、半導体チップ20にスペーサ50を形成する。

#### 【0018】

型40は、ペースト49を設けるための複数の穴42を有する。図3(A)に示す例では、1つの穴42は、いずれか1つの半導体チップ20に対応している。そして、型40を基板10にセットすることで、基板10上に、ペースト49を設けるための空間が形成される。図3(A)に示すように、穴42の開口の平面形状は、半導体チップ20の面の内側に包含されてもよい。こうすることで、ペースト49が押し出される領域が半導体チップ20の面の内側に包含されるので、スペーサ50を半導体チップ20の面の内側に設けやすくなる。なお、穴42の平面形状は限定されず、例えば矩形又は円形をなしてもよい。

30

#### 【0019】

図3(A)に示すように、型40は、ペースト49の流れ（基板の幅方向に広がる流れ）を止めるダム部44を有してもよい。図3(A)に示す例では、ダム部44は、半導体チップ20の面の内側に包含される穴42の外周に、半導体チップ20の高さ方向に延びて形成されている。型40を基板10にセットしたときに、ダム部44が半導体チップ10の面に接触するようになっていてもよい。ダム部44を設けることで、ペースト49が流動しやすくても（チキソ比が大きくても）、所定の幅のスペーサ50を簡単に形成することができる。逆にいうと、ペースト49として流動しにくい（チキソ比が小さい）材料を選べば、ダム部44は省略してもよい。なお、ダム部44を省略する場合、レベリング工程（図4参照）を経て各スペーサ50を形成してもよい。ダム部44は、スペーサ50の平面形状に応じて設ければよい。

40

#### 【0020】

図3(A)に示すように、型40の基板10側の立体形状は、基板10上の凸部（半導体チップ20、ワイヤ22及び配線パターン14など）を避ける形状（図3(A)では凹部

50

）をなしている。型４０の基板１０側の部分を、ワイヤ２２も避ける形状にすれば、スペーサ５０の形成工程をワイヤボンディング工程後に行うことが可能になる。変形例として、スペーサ５０の形成工程をワイヤボンディング工程前に行ってもよい。型４０は、エッチング法（ハーフ又はフルエッチング）を適用することで所定の立体形状に形成してもよい。

#### 【００２１】

図３（Ａ）に示すように、型４０を基板１０にセットし、穴４２を半導体チップ２０上に配置させる。そして、型４０にペースト４９を設け、押圧部材（例えばスキージ）４８によって、穴４２内で型４０の面の高さにペースト４９を均一にする。

#### 【００２２】

こうして、図３（Ｂ）に示すように、型４０の複数の穴４２内にペースト４９を設ける。その場合、ペースト４９を、空間の全部（図３（Ａ）ではダム部４４で囲まれた部分）に充填させてもよく、このとき、ペースト４９は、型４０の面（基板１０とは反対側の面）４６と面一になる。すなわち、ペースト４９の面の高さは、型４０の面の高さと同じになる。したがって、型４０の面の高さを決定することで、所定の高さのスペーサ５０を簡単に形成することができる。

#### 【００２３】

図３（Ｃ）に示すように、型４０を基板１０から離すことで、複数のスペーサ５０を複数の半導体チップ２０上に設けることができる。

#### 【００２４】

この方法によれば、ペースト４９を型４０に形成された複数の穴４２に設けることで、複数のスペーサ５０を一括して形成することができる。また、ペースト４９を必要な部分に直接設けるので、材料を無駄にすることがなく、コストを抑えることができる。

#### 【００２５】

なお、ペースト４９は、空間の一部（図３（Ａ）ではダム部４４で囲まれた空間の一部）に設けてもよい。このとき、ペースト４９によってスペーサを形成した後に、それらを押圧してレベリングすることで、スペーサ５０を形成してもよい。これによると、各スペーサ５０の高さを一定にすることができ、かつ、スペーサ５０の半導体チップ２０を向く面とは反対側の面を半導体チップ２０と平行になるように形成することができる。そのため、複数の半導体チップを、半導体チップ同士が平行になるように積層することができ、積層された半導体チップ同士、あるいは、半導体チップとワイヤとがショートしにくい、電気的な信頼性の高い半導体装置を製造することができる。このとき、図４に示すように、複数のスペーサを同時に押圧治具１００によって押圧して、一括して複数のスペーサ５０を形成してもよい。

#### 【００２６】

こうして、図５に示すように、基板１０上の複数の半導体チップ２０のそれぞれに、スペーサ５０を形成することができる。半導体装置１は、基板１０と、基板１０上に平面的に並べられた半導体チップ２０と、それぞれの半導体チップ２０上に設けられたスペーサ５０と、を含む。スペーサ５０自体の接着機能の有無は問わない。

#### 【００２７】

なお、図６に示すように、スペーサを内部に複数のボール５７を有するように形成してもよい。複数のボール５７を含有するペーストを使用して、上述したスペーサ５０を形成する工程を行うことで、内部に複数のボールを有するスペーサ５５を形成してもよい。これによると、各スペーサ５５の高さを揃えることが容易になり、信頼性の高い半導体装置を製造することができる。特に、押圧治具１００によってレベリングしてスペーサを形成する場合、ボール５７によって押圧治具１００の高さを制御することが容易となるため、複数のスペーサを同時にレベリングする工程を容易に行うことができ、信頼性の高い半導体装置を効率よく形成することができる。また、スペーサ５５の半導体チップ２０を向く面とは反対側の面を、半導体チップ２０と平行になるように形成することが容易となるため、信頼性の高い半導体装置を容易に製造することができる。なお、スペーサ５５を、ボー

10

20

30

40

50

ル 5 7 の直径とほぼ等しい高さに形成してもよい。すなわち、ボール 5 7 として、スペーサ 5 5 の設計高さとはほぼ同じ直径をなすボールを使用してもよい。ボール 5 7 の材料は特に限定されないが、例えば樹脂や、ゴムなどであってもよい。また、ボール 5 7 は、絶縁性を有する材料によって形成されてもよい。ボール 5 7 は弾性を有してもよい。ボール 5 7 が弾性を有する場合、ボール 5 7 によって半導体チップが傷つくことを防止することができるため、信頼性の高い半導体装置を製造することができる。

#### 【 0 0 2 8 】

次に、図 7 (A) 及び図 7 (B) に示すように、平面的に並べられた複数の半導体チップ 2 0 上に複数の他の半導体チップ 2 2 を積み重ね、それぞれの半導体チップ 2 2 に上述の工程を繰り返してスペーサ 5 2 を設ける。

10

#### 【 0 0 2 9 】

図 7 (A) に示すように、半導体チップ 2 2 を電極を上に向けて、半導体チップ 2 0 上にボンディングする。詳しくは、半導体チップ 2 2 をスペーサ 5 0 上に搭載する。例えば、半導体チップ 2 2 の裏面 (基板 1 0 を向く面) に貼り付けられた接着剤 (例えば接着シート) 6 0 によって、半導体チップ 2 2 をスペーサ 5 0 上に固定してもよい。なお、接着剤 6 0 は、絶縁性接着剤であってもよく、このとき、半導体チップ 2 2 の裏面全体に接着剤 6 0 を設ければ、半導体チップ 2 2 とワイヤ 3 0 とのショートを防止できる。その後、半導体チップ 2 2 と配線パターン 1 4 とを、例えばワイヤ 3 2 で電氣的に接続する。

#### 【 0 0 3 0 】

そして、型 4 1 を基板 1 0 にセットし、押圧部材 4 8 でペースト 4 9 を穴 4 2 内に設ける。図 7 (A) に示すように、ダム部 4 4 が形成される場合には、ペースト 4 9 をダム部 4 4 で囲まれた空間に充填させる。こうして、ペースト 4 9 を型 4 1 の面 4 6 と面一になるように設ける。

20

#### 【 0 0 3 1 】

その後、図 7 (B) に示すように、型 4 1 を基板 1 0 から離すことで、複数のスペーサ 5 2 を複数の半導体チップ 2 2 上に一括して設けることができる。

#### 【 0 0 3 2 】

図 8 に示すように、以上の工程を複数回繰り返して、複数のスタック構造の半導体装置の集合体を形成する。基板 1 0 には、2 つ以上の半導体チップが積み重ねられている。図 8 に示す例では、4 つの半導体チップ 2 0、2 2、2 4、2 6 が立体的に積み重ねられ、高さ方向の半導体チップ同士の間には、スペーサ 5 0、5 2、5 4 が介在している。

30

#### 【 0 0 3 3 】

これによれば、スペーサの形成工程を、2 段目以降の複数の半導体チップ 2 2、2 4、2 6 ごとに基板 1 0 上で一括して行う。そのため、スペーサを形成した後の半導体チップを、基板 1 0 上に移し変える手間が省略され、最小限の工程数で半導体装置を製造することができる。

#### 【 0 0 3 4 】

図 8 に示す例では、各半導体チップ 2 0、2 2、2 4、2 6 の外形の大きさは同一であるが、本実施の形態はこれに限定されず、基板 1 0 に異なる大きさの複数の半導体チップを搭載してもよい。例えば、上側の半導体チップの外形を、下側の半導体チップの外形よりも大きくしてもよい。

40

#### 【 0 0 3 5 】

図 9 に示すように、基板 1 0 上に積み重ねられた複数の半導体チップ 2 0、2 2、2 4、2 6 を封止する。封止材は、例えば樹脂であってもよい。図 9 に示すように、基板 1 0 に平面的に並べられた複数の半導体チップ 2 0、2 2、2 4、2 6 を一括封止してもよい。封止には、金型を使用すればよい。例えば、トランスファモールドを適用して、基板 1 0 上に封止部 6 2 を形成してもよい。その場合、封止材は、モールド樹脂と呼ばれる。これによれば、例えば、複数の基板 1 0 上に同時に封止部 7 0 を形成できるので、生産性に優れる。

#### 【 0 0 3 6 】

50



あるいは、ポッティング法を適用することで封止部 70 を形成してもよい。その場合、封止材は、液状樹脂（例えばポッティング樹脂）であることが一般的である。

【0037】

半導体装置の集合体 3 は、基板 10 と、複数の半導体チップ 20、22、24、26 と、複数のスペーサ 50、52、54 と、を含む。複数の半導体チップ 20、22、24、26 は、基板 10 上に平面的に並べられ、かつ、立体的に積み重ねられている。そして、スペーサ 50、52、54 は、立体的に積み重ねられた半導体チップ同士の間で設けられている。基板 10 上に設けられた封止部 62 によって、複数の半導体チップ 20、22、24、26 が覆われている。

【0038】

図 9 に示すように、切断治具（例えばブレード）70 によって封止部 62 及び基板 10 を切断する。これによって、集合体 3 を複数のスタック型の半導体装置 5（図 10 参照）に個片にする。予め封止部 62 に切断ライン（図 9 の 2 点鎖線に示すライン）を形成しておけば、切断の位置決めが容易になる。

【0039】

こうして、図 10 に示すように、スタック型として構成された半導体装置 5 を形成することができる。半導体装置 5 は、基板 11 と、立体的に積み重ねられた複数の半導体チップ 20、22、24、26 と、封止部 64 と、を含む。

【0040】

図 10 に示すように、基板 10（又は基板 11）に複数の外部端子 66 を設けてもよい。外部端子 66 は、上述の切断工程の前後のいずれに行ってもよい。切断工程前であれば、複数の半導体装置に一括して外部端子 66 を形成できるので生産性に優れる。外部端子 66 は、ハンダボールであってもよい。外部端子 66 は、配線パターン 14 に電気的に接続されている。貫通穴 16 の位置に外部端子 66 を設けてもよい。

【0041】

本実施の形態に係る半導体装置の製造方法によれば、複数のスペーサ 50、52、54 を基板 10 上で一括して形成するので、生産性が極めて高い。すなわち、スペーサ 50、52、54 を、個々に半導体チップ 20、22、24 に取り付ける手間を省略でき、迅速かつ簡単にスペーサを形成することができる。

【0042】

本実施の形態に係る半導体装置は、上述の製造方法から選択したいずれかの特定事項から導かれる構成を含み、本実施の形態に係る半導体装置の効果は上述の効果と備える。図 5、図 9 及び図 10 に示すように、本実施の形態に係る半導体装置は、上述の製造方法の過程で製造されるものである。

【0043】

（第 2 の実施の形態）

図 11（A）～図 11（C）は、本発明の第 2 の実施の形態に係る半導体装置の製造方法を示す図である。本実施の形態では、リソグラフィ技術（例えばフォトリソグラフィ技術）を適用することで複数のスペーサ 50 を一括して設ける。図 11（A）に示すように、本工程は、ワイヤボンディング工程前に行ってもよく、変形例としてワイヤボンディング工程後に行ってもよい。なお、本実施の形態では、上述の実施の形態で説明した内容は省略する。

【0044】

図 11（A）に示すように、感光性を有する材料（レジスト）72 を、複数の半導体チップ 20 上に設ける。材料 72 は、複数の半導体チップ 20 を覆うように設けてもよいし、基板 10 上の全面に設けてもよい。あるいは、材料 72 は、半導体チップ 20 ごとに分割して設けてもよい。材料 72 は、それぞれの半導体チップ 20 上で一定の厚みで形成することが好ましい。例えば、スピンコート法を適用して材料 72 を設けてもよい。これによれば、材料 72 を一定の厚みにすることができるので、スペーサ 50 の高さを簡単に制御することができる。あるいは、ディッピング法、スプレーコート法を適用して材料 72 を

10

20

30

40

50

設けてもよい。なお、材料 7 2 は、複数のボールを含有していてもよい（図示せず）。ボールは、先に説明したボール 5 7 の内容を適用してもよい。

#### 【0045】

図 1 1 (A) に示すように、材料 7 2 をパターンニングする。詳しくは、材料 7 2 上にマスク 7 4 を配置して、光エネルギー 7 6 を照射する。すなわち、マスク 7 4 を介して、材料 7 2 を露光する。マスク 7 4 の形状は、パターンニング形状によって決まり、材料 7 2 がポジ型であるかネガ型であるかによって反転形状となる。図 1 1 (A) に示す例では、材料 7 2 はポジ型の性質を有し、スペーサ 5 0 として残す部分をマスク 7 4 によって覆う。変形例として、材料 7 2 として、ネガ型の性質を有するものを適用してもよく、その場合スペーサ 5 0 として残す部分にマスク 7 4 の開口を配置する。その後、材料 7 2 を現像して、所定の位置にスペーサ 5 0 を形成する。なお、レーザビームを照射することで、材料 7 2 のうち不必要な部分を除去してもよい。

10

#### 【0046】

こうして、図 1 1 (B) に示すように、半導体チップ 2 0 上にスペーサ 5 0 を設ける。スペーサ 5 0 を設ける位置は限定されないが、後にワイヤボンディング工程を行う場合は、スペーサ 5 0 をワイヤの電氣的な接続部分を避けて設ける。その後、図 1 1 (C) に示すように、半導体チップ 2 0 の電極と、基板 1 0 の配線パターン 1 4 と、をワイヤ 3 0 によって電氣的に接続する。

#### 【0047】

上述とは別に、ワイヤボンディング工程後にスペーサ 5 0 の形成工程を行ってもよい。その場合、露光工程前において、材料 7 2 を、ワイヤ 3 0 を覆うように設けてもよい。材料 7 2 のうちワイヤを覆う部分を除去する場合には、現像することで除去してもよいし、レーザビームを照射することで除去してもよい。材料 7 2 のうちワイヤ 3 0 を覆う部分を、スペーサ 5 0 の一部として残してもよい。

20

#### 【0048】

以上の工程を複数回繰り返して、複数のスタック構造の半導体装置の集合体を形成してもよい。あるいは、上述の実施の形態と組み合わせてもよい。

#### 【0049】

##### (第 3 の実施の形態)

図 1 2 (A) ~ 図 1 2 (C) は、本発明の第 3 の実施の形態に係る半導体装置の製造方法を示す図である。本実施の形態では、材料（シート）を転写させることで複数のスペーサ 5 0 を一括して設ける。図 1 2 (A) に示すように、本工程は、ワイヤボンディング工程前に行ってもよく、変形例としてワイヤボンディング工程後に行ってもよい。なお、本実施の形態では、上述の実施の形態で説明した内容は省略する。

30

#### 【0050】

図 1 2 (A) に示すように、テープ 8 0 及びシート 8 2 を用意する。シート 8 2 は、テープ 8 0 に貼り付けられている。テープ 8 0 は、シート 8 2 の搬送用部材である。テープ 8 0 は、接着力を有する。テープ 8 0 は、シート 8 2 の搬送時に接着力を発揮し、かつ、シート 8 2 の転写時に接着力を失うものであることが好ましい。テープ 8 0 は、エネルギーを加えることでその接着力が小さくなってもよい。例えば、テープ 8 0 は、紫外線の照射によって接着力が小さくなる紫外線硬化性を有してもよい。

40

#### 【0051】

シート 8 2 は、スペーサ 5 0 の材料であり、固体をなしている。図 1 2 (A) に示すように、シート 8 2 は、テープ 8 0 の一方の面の全体に設けてもよい。変形例として、テープ 8 0 の一方の面の一部に設けてもよい。スペーサ 5 0 の形状と同一形状の複数のシート 8 2 を、テープ 8 0 に設けてもよい。その場合、1 つのシート 8 2 をいずれか 1 つの半導体チップ 2 0 に対応する位置に設けることで、複数のシート 8 2 を転写させるだけで複数のスペーサ 5 0 を形成することができる。

#### 【0052】

シート 8 2 の形成方法は限定されない。例えば、別工程でシート 8 2 を形成した後にテー

50

ブ 8 0 に貼り付けてもよいし、可能であればテープ 8 0 上でシート 8 2 を形成してもよい（上述の工程参照）。シート 8 2 は、トランスファモールドを適用することで形成してもよい。

【 0 0 5 3 】

なお、シート 8 2 は、複数のボールを含有していてもよい（図示せず）。ボールは、先に説明したボール 5 7 の内容を適用してもよい。

【 0 0 5 4 】

図 1 2 (A) に示すように、シート 8 2 の複数の部分（スペーサ 5 0 となる部分） 8 4 を、半導体チップ 2 0 上に転写させる。

【 0 0 5 5 】

転写工程前に、テープ 8 0 とシート 8 2 の複数の部分 8 4 との接着力を、テープ 8 0 とシートの他の部分との接着力よりも小さくすることが好ましい。例えば、テープ 8 0 に部分的（複数の部分 8 4）にエネルギーを照射することで接着力を小さくしてもよい。こうすることで、シート 8 2 の部分 8 4 のみをテープ 8 0 から剥離しやすくすることができる。

【 0 0 5 6 】

転写工程前に、図 1 2 (A) に示すように、シート 8 2 の複数の部分 8 4 の輪郭を通してように切断してもよい。すなわち、テープ 8 0 上で、シート 8 2 を複数の部分 8 4 に分割する。その場合、テープ 8 0 を切断しないことで、シート 8 2 の複数の部分 8 4 を一体的に取り扱うことができる。

【 0 0 5 7 】

転写工程では、シート 8 2 の部分 8 4 を、テープ 8 0 を介して、半導体チップ 2 0 に向けて押し出してもよい。あるいは、スペーサ 5 0 を設ける位置に接着剤を設けることで、シート 8 2 の部分 8 4 を半導体チップ 2 0 に接着させてもよい。

【 0 0 5 8 】

変形例として、シート 8 2 の全体を基板 1 0 側に転写してもよい。その場合、後にシート 8 2 の不必要な部分（複数の部分 8 2 を除く部分）を除去する。

【 0 0 5 9 】

こうして、図 1 2 (B) に示すように、テープ 8 0 を基板 1 0 から離すことで、複数のスペーサ 5 0 を複数の半導体チップ 2 0 上に一括して設けることができる。その後、図 1 2 (C) に示すように、半導体チップ 2 0 の電極と、基板 1 0 の配線パターン 1 4 と、をワイヤ 3 0 によって電氣的に接続する。

【 0 0 6 0 】

以上の工程を複数回繰り返して、複数のスタック構造の半導体装置の集合体を形成してもよい。あるいは、上述の実施の形態と組み合わせてもよい。

【 0 0 6 1 】

（第 4 の実施の形態）

図 1 3 は、本発明の第 4 の実施の形態に係る半導体装置の製造方法を示す図である。本実施の形態では、半導体ウェハ 9 0 に複数のスペーサ 5 0 を一括して形成する。本実施の形態では、上述の印刷法、フォトリソグラフィ技術による方法又は転写による方法のいずれの形態も適用可能であり、上述の実施の形態で説明した内容は省略する。

【 0 0 6 2 】

図 1 3 に示すように、半導体ウェハ 9 0 を用意する。半導体ウェハ 9 0 には、図示しないトランジスタやメモリ素子などからなる集積回路が形成されている。半導体ウェハ 9 0 は、複数の半導体素子 9 2 を有し、それぞれの半導体素子 9 2 の輪郭で切断されることで複数の半導体チップになる。半導体ウェハ 9 0 は、複数の電極（図示しない）を有し、電極の中央部を避けて端部を覆うパッシベーション膜（図示しない）を有する。本実施の形態では、スペーサ 5 0 の形成工程を、ウェハ状態で一括処理する。

【 0 0 6 3 】

上述の実施の形態で説明した方法を適用してスペーサ 5 0 を形成する。本実施の形態に係るスペーサ付き半導体ウェハは、複数の半導体素子を有する半導体ウェハ 9 0 と、それぞ

10

20

30

40

50

れの半導体素子 92 上に設けられたスペーサ 50 と、を含む。スペーサ 50 は、半導体素子 92 の面の内側に形成されてもよい。

【0064】

スペーサ形成工程後、半導体ウェハ 90 を複数の半導体チップに個片にする。半導体ウェハ 90 の裏面に搬送用のテープ 94 を貼り付け、切断治具（例えばブレード）96 で半導体ウェハ 90 を切断する。

【0065】

こうして、スペーサ付きの複数の半導体チップを形成することができる。複数のスペーサ付き半導体チップを積み重ねることで、スタック構造の半導体装置を形成してもよい。これによれば、スペーサ付き半導体チップを取り扱うことでスタック構造の半導体装置を形成するので、積層工程でスペーサ又は半導体チップを別々に取り扱う手間を省略することができる。

10

【0066】

図 14 には、上述の実施の形態を適用した回路基板が示されている。半導体装置 5 は、回路基板 1000 に実装されている。回路基板 1000 には、例えば、ガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1000 には例えば銅等からなる配線パターン 1100 が所望の回路となるように形成されていて、配線パターン 1100 と半導体装置の外部端子 66 とが接合されている。

【0067】

本発明の実施の形態に係る半導体装置を有する電子機器として、図 15 にはノート型パーソナルコンピュータ 2000 が示され、図 16 には携帯電話 3000 が示されている。

20

【0068】

なお、本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果をそうする構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

30

【図 1】図 1 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

【図 2】図 2 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

【図 3】図 3（A）～図 3（C）は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

【図 4】図 4 は、本発明の第 1 の実施の形態に係る半導体装置及びその製造方法を示す図である。

【図 5】図 5 は、本発明の第 1 の実施の形態に係る半導体装置及びその製造方法を示す図である。

40

【図 6】図 6 は、本発明の第 1 の実施の形態に係る半導体装置及びその製造方法を示す図である。

【図 7】図 7（A）及び図 7（B）は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

【図 8】図 8 は、本発明の第 1 の実施の形態に係る半導体装置及びその製造方法を示す図である。

【図 9】図 9 は、本発明の第 1 の実施の形態に係る半導体装置及びその製造方法を示す図である。

【図 10】図 10 は、本発明の第 1 の実施の形態に係る半導体装置を示す図である。

【図 11】図 11（A）～図 11（C）は、本発明の第 2 の実施の形態に係る半導体装置

50

の製造方法を示す図である。

【図 1 2】図 1 2 (A) ~ 図 1 2 (C) は、本発明の第 3 の実施の形態に係る半導体装置の製造方法を示す図である。

【図 1 3】図 1 3 は、本発明の第 4 の実施の形態に係るスペーサ付き半導体ウェハ及びその製造方法を示す図である。

【図 1 4】図 1 4 は、本発明の実施の形態に係る回路基板を示す図である。

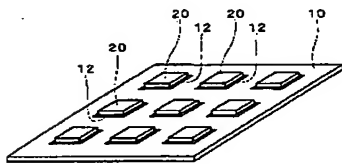
【図 1 5】図 1 5 は、本発明の実施の形態に係る電子機器を示す図である。

【図 1 6】図 1 6 は、本発明の実施の形態に係る電子機器を示す図である。

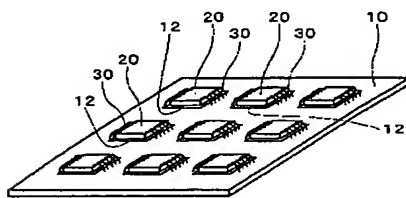
【符号の説明】

10 基板、 11 基板、 14 配線パターン、 20 半導体チップ、 22 半導体チップ、 24 半導体チップ、 26 半導体チップ、 30 ワイヤ、 32 ワイヤ、 34 ワイヤ、 36 ワイヤ、 40 型、 42 穴、 44 ダム部、 46 面、 49 ペースト、 50 スペーサ、 52 スペーサ、 54 スペーサ、 62 封止部、 64 封止部、 72 材料、 80 テープ、 82 シート、 84 部分、 90 半導体ウェハ、 92 半導体素子

【図 1】

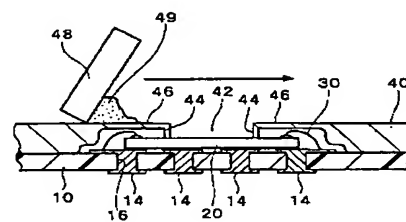


【図 2】

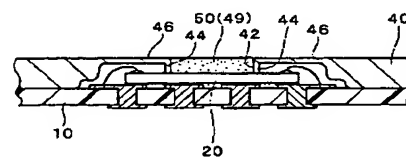


【図 3】

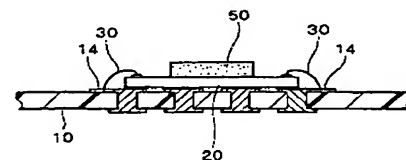
(A)



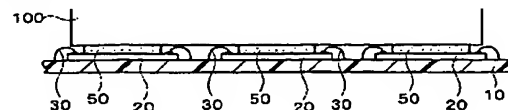
(B)



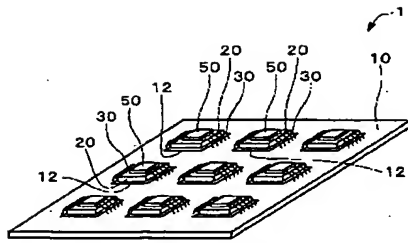
(C)



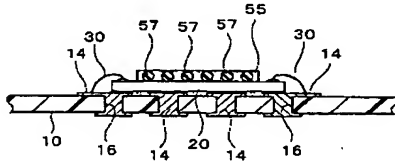
【図 4】



【図 5】

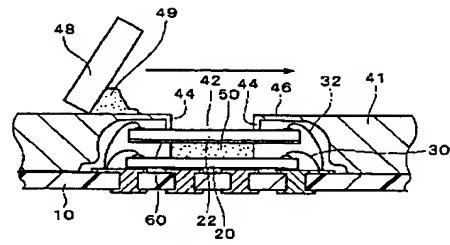


【図 6】

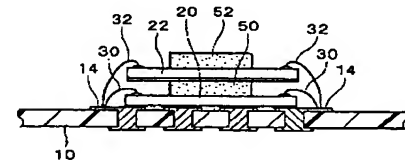


【図 7】

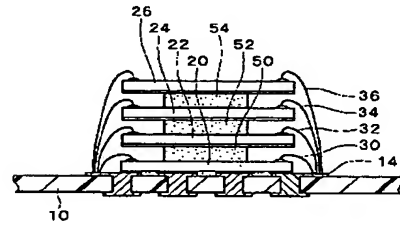
(A)



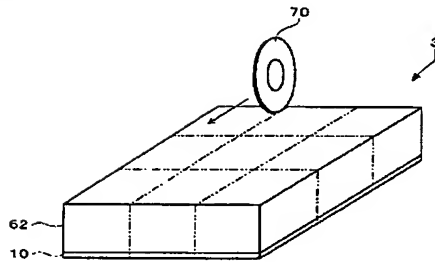
(B)



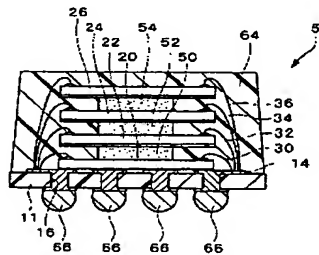
【図 8】



【図 9】

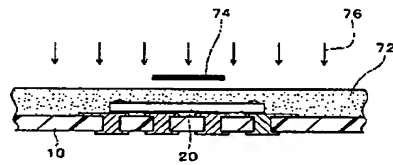


【図 10】

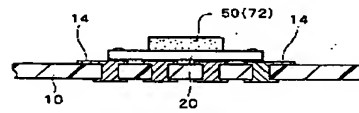


【図 11】

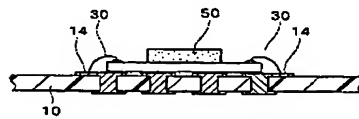
(A)



(B)

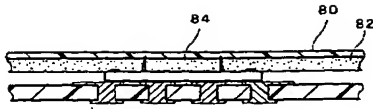


(C)

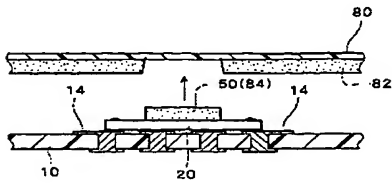


【図 1 2】

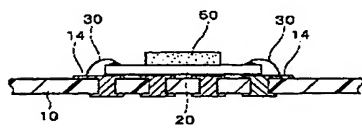
(A)



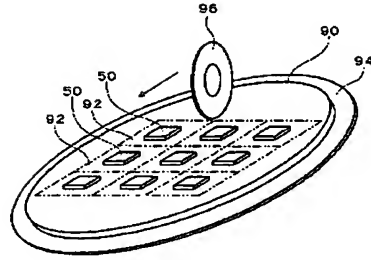
(B)



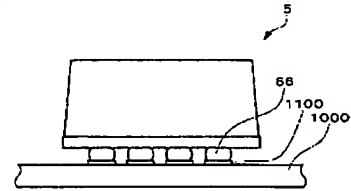
(C)



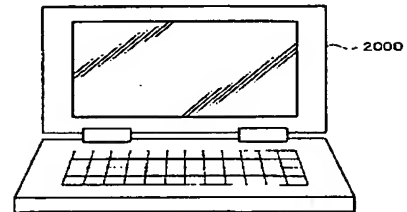
【図 1 3】



【図 1 4】



【図 1 5】



【図 1 6】

